

LOONGSON

龙芯 1C300 处理器数据手册

1.4 版

2020 年1 月

龙芯中科技术股份有限公司

自主决定命运, 创新成就未来

北京市海淀区稻香湖路中关村环保科技示范园龙芯产业园2号楼
Loogson Park #2, Zhongguancun Environment Protection Park,
Daolianghu Rd, Haidian District, Beijing



www.loongson.cn

版权声明

本档版权归龙芯中科技术股份有限公司所有，并保留一切权利。未经书面许可，任何公司和个人不得将此档中的任何部分公开、转载或以其他方式散发给第三方。否则，必将追究其法律责任。

免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因档使用不当造成的直接或间接损失，本公司不承担任何责任。

龙芯中科技术股份有限公司

Loongson Technology Corporation Limited

地址：北京市海淀区稻香湖路中关村环保科技示范园龙芯产业园 2 号楼

Loogson Park #2, Zhongguancun Environment Protection Park, Daoxianghu Rd, Haidian District, Beijing

电话(Tel): 010-62546668

传真(Fax): 010-62600826

修订历史

更新日期	更新人	版本号	更新内容
2013-02-28	研发中心	V0.1	内部预览版
2013-03-06	研发中心	V0.1	Pin 分配变更, 更新相应内容。
2013-04-15	研发中心	V0.2	更新复用关系
2013-04-24	研发中心	V0.2	修订时钟和部分复用说明
2013-06-14	研发中心	V0.3	修订电源说明
2014-02-28	研发中心	V0.9	修改第二版的改动
2014-04-21	研发中心	V1.0	增加默认复用关系及上下拉说明 增加 SRAM 引脚描述以及部分错误 芯片名称更新为龙芯 1C300
2014-06-09	研发中心	V1.1	修订复用关系表
2015-02-07	研发中心	V1.2	修订工作温度范围
2015-08-04	研发中心	V1.3	补充 MAX_RXER, 纠正引脚排列图中 USB_REXT、USB_DM、RTC_CLK_I、 RTC_CLK_O 的序号
2020-01-8	研发中心	V1.4	第 6 章增加仅 QFP176A 可供订货的说明 表 2-1 细化 PLL 频率配置说明 修正部分文字错误, 更新公司信息

手册信息反馈: service@loongson.cn

目录

1 概述.....	1
1.1 芯片特性	1
1.1.1 总体特性	1
1.1.2 处理器核	2
1.1.3 SDRAM 控制器	2
1.1.4 SRAM/NOR FLASH 控制器.....	2
1.1.5 NAND 控制器.....	2
1.1.6 时钟发生器	3
1.1.7 I ² S 控制器	3
1.1.8 AC97 控制器.....	3
1.1.9 LCD 控制器	3
1.1.10 Camera 接口.....	4
1.1.11 MAC 控制器	4
1.1.12 USB2.0 控制器	4
1.1.13 SPI 控制器	4
1.1.14 I ² C 控制器.....	5
1.1.15 UART 控制器	5
1.1.16 GPIO.....	5
1.1.17 PWM 控制器.....	5
1.1.18 RTC.....	6
1.1.19 CAN 控制器.....	6
1.1.20 SDIO 控制器.....	6
1.1.21 ADC 控制器.....	6
1.2 文档约定	6
1.2.1 信号命名	6
1.2.2 信号类型	7
1.2.3 数值表示	7
1.2.4 寄存器域.....	7
2 引脚定义.....	7
2.1 LCD 接口	7
2.2 SDRAM 接口.....	8
2.3 SRAM/NOR FLASH 接口	8

2.4 I ² S 接口	8
2.5 I ² C 接口	9
2.6 UART 接口	9
2.7 PWM 接口	9
2.8 ADC 接口	10
2.9 SPI 接口	10
2.10 EJTAG 接口	10
2.11 CAMERA 接口	10
2.12 NAND 接口	11
2.13 MAC 接口	11
2.14 OTG 接口	12
2.15 USB 接口	12
2.16 RTC 接口	12
2.17 时钟配置信号	12
2.18 电源地	13
2.19 初始化信号	13
3 功能描述	15
3.1 SDRAM 控制器接口描述	15
3.1.1 SDRAM 控制器特性	15
3.1.2 SDRAM 基本读时序	15
3.1.3 SDRAM 基本写时序	16
3.2 CAMERA 接口描述	16
3.2.1 CAMERA 接口特性	17
3.2.2 CAMERA 接口协议	17
3.3 ADC 控制器接口描述	19
3.3.1 ADC 接口特性	19
3.3.2 ADC 控制器的触摸屏应用	20
4 初始化时序	22
4.1 上电顺序	22
4.2 复位时序	22
5 电气特性	23
5.1 电源	23
5.1.1 推荐工作条件	23
5.1.2 绝对最大额定值	23

5.2 SDRAM 接口特性.....	24
5.3 CAMERA 接口特性.....	24
5.4 MAC 接口特性.....	25
5.5 USB 接口特性.....	25
6 引脚排列和封装.....	29
6.1 按引脚排列的封装引脚.....	29
6.1.1 QFP100 的封装引脚.....	29
6.1.2 QFP176A 的封装引脚.....	30
6.1.3 QFP176U 的封装引脚.....	31
6.2 引脚顶层排列.....	33
6.2.1 QFP100 的引脚顶层排列.....	33
6.2.2 QFP176A 的引脚顶层排列.....	34
6.2.3 QFP176U 的引脚顶层排列.....	36
7 封装机械尺寸.....	38
7.1.1 QFP100 的封装机械尺寸.....	38
7.1.2 QFP176 的封装机械尺寸.....	39
8 不使用引脚的处理.....	40
9 附录.....	41
9.1 引脚复用.....	41

图目录

图 3-1 SDRAM 读协议	16
图 3-2 SDRAM 写协议	16
图 3-3 ITU-R BT.601 输入时序	18
图 3-4 ITU-R BT.656 输入时序	18
图 3-5 触摸屏测量原理	21
图 6-1 QFP100 的引脚顶层排列	33
图 6-2 QFP176A 的引脚排列（左侧图）	34
图 6-3 QFP176A 的引脚顶层排列（右侧图）	35
图 6-4 QFP176U 的引脚排列（左侧图）	36
图 6-5 QFP176U 的引脚顶层排列（右侧图）	37

表目录

表 2-1 配置信号	13
表 3-1 ITU-R BT.656 基准码	18
表 3-2 第四个字节 XY 值	19
表 5-1 推荐的工作电源电压	23
表 5-2 绝对最大额定值	23
表 5-3 SDRAM 电气交流时序特性	24
表 5-4 CAMERA 电气交流时序特性	24
表 5-5 MAC 电气交流时序特性	25
表 6-1 按引脚排列的 QFP100 封装引脚表	29
表 6-2 按引脚排列的 QFP100 封装引脚表 (续表)	30
表 6-3 按引脚排列的 QFP176A 封装引脚表	30
表 6-4 按引脚排列的 QFP176A 封装引脚表 (续表)	30
表 6-5 按引脚排列的 QFP176U 封装引脚表	31
表 6-6 按引脚排列的 QFP176U 封装引脚表 (续表)	31
表 9-1 引脚复用关系表	42
表 9-2 1C300A 引脚 3~6 复用关系表	51

1 概述

龙芯 1C300（以下简称 1C）芯片是基于 GS232 处理器核的高性价比单芯片系统，可应用于指纹生物识别、物联传感等领域。

1C 包含浮点处理单元，可以有效增强系统浮点数据处理能力。1C 的内存接口，支持多种类型的内存，允许灵活的系统设计。支持 8-bit SLC NAND 和 MLC NAND FLASH，提供高容量的存储扩展接口。

1C 为开发者提供了丰富的外设接口及片上模块，包括 Camera 控制器，USB OTG 2.0 及 USB HOST 2.0 接口，AC97/I2S 控制器，LCD 控制器，高速 SPI 接口，全功能 UART 接口等，提供足够的计算能力和多应用的连接能力。

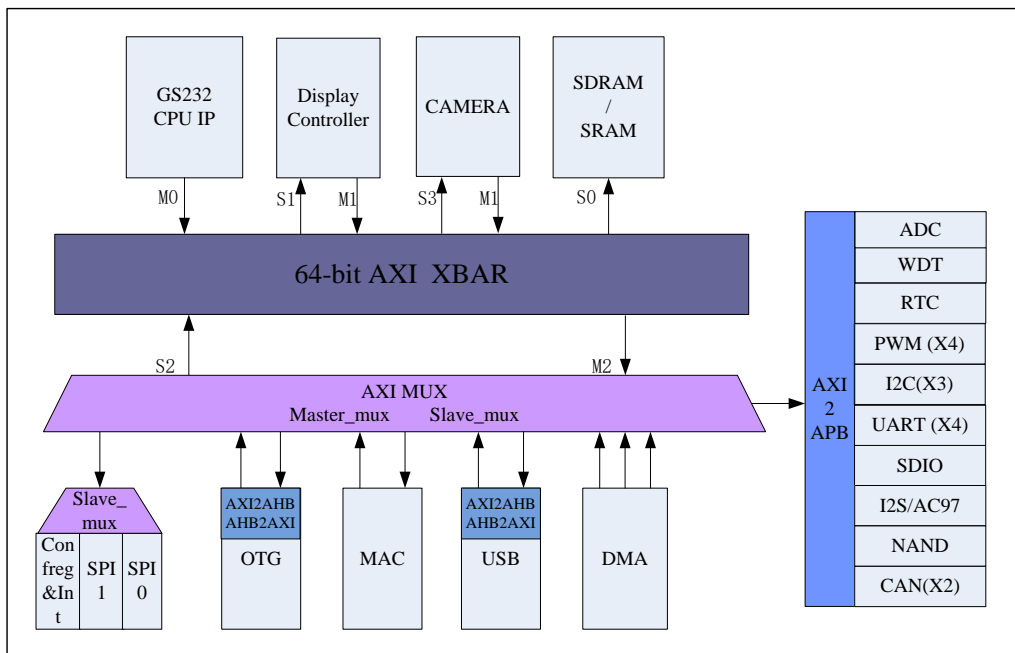


图1-1 龙芯 1C 结构图

1.1 芯片特性

1.1.1 总体特性

- 芯片工艺 0.13um CMOS
- 电源电压 I/O: $3.3 \pm 0.3V$; 处理器核: $1.2 \pm 0.2V$

(IO 接口直接外部 5V 接入，能正常工作)

- 封装 QFP100, 0.5 mm pitch
QFP176, 0.4 mm pitch
- 工作频率 300MHz
- 功耗 $\leq 0.5W$

1.1.2 处理器核

- 单核心 GS232, MIPS32 指令集兼容, 主频 300MHz
- 支持高效双发射 (一个时钟节拍执行两条指令) 技术
- 支持寄存器重命名、动态调度、转移预测等乱序发射、乱序执行技术
- 五级流水线 (取指、译码、发射、执行并写回、提交) 微体系构架
- 16KB 数据 cache 和 16KB 指令 cache
- 集成 64 位浮点处理部件, 支持全流水的 64 位浮点加法和浮点乘法运算, 硬件实现浮点除法运算

1.1.3 SDRAM 控制器

- SDRAM 接口, 工作频率 33~133MHz
- 支持 8/16 位并行数据总线宽度
- 支持自动刷新和自刷新功能, 支持页面模式

1.1.4 SRAM/NOR FLASH 控制器

- SRAM 以及 NOR Flash 直连接口, 工作频率 66~133MHz
- 支持静态存储器片选引脚, 可以单独配置
- 支持 8bit/16bit 并行数据总线宽度

1.1.5 NAND 控制器

- 最大支持单颗容量为 4GB NAND FLASH
- 支持 512 字节、2K 字节页及更大页面类型 FLASH
- 硬件 ECC 生成、检测和指示 (软件纠错)
- 支持 FLASH 数据读取速度 8~10MB/S, 写入速度 5MB/s

- 支持从 NAND Flash 启动
- 支持小尾端模式

1.1.6 时钟发生器

- 1 个标准 PLL 输入接口，支持外部无源晶体作为芯片时钟输入
- 支持片内输出可配置时钟一路，供片外外设使用
- PLL 频率软件可配置

1.1.7 I²S 控制器

- 支持 master 模式下 I²S 输入
- 支持 master 模式下 I²S 输出
- 支持 8、16、18、20、24、32 位宽
- 支持单声道和立体声道音频数据
- 支持(16、22.05、32、44.1、48)kHz 采样频率
- 支持 DMA 传输模式

1.1.8 AC97 控制器

- 可变采样率 AC97 编解码器接口（48KHz 及以下）
- 支持立体声 PCM 和单声道 MIC 输入
- 支持 2 通道立体声 PCM 输出
- 支持 DMA 和中断操作
- 支持 16、18 和 20 位采样精度，支持可变速率
- 支持 16 位、16 个入口 FIFO 每通道

1.1.9 LCD 控制器

- 支持 16/24 位像素模式
- 支持 RGB444/555/565/888 显示输出
- 支持 1024x768、800x600、640x480、320x240 分辨率
- 支持 DMA 传输模式

1.1.10 Camera 接口

- 支持 ITU-R BT.601/656 8 位输入
- 支持 RAW RGB、RGB565 及 YUV4:2:2 数据输入
- 支持 YUV、RGB888、RGB0888、RGB565 输出
- 支持 320x240 和 640x480 分辨率缩放
- 支持最大 2Kx2K 分辨率输入，分辨率可配置
- 支持 DMA 传输模式

1.1.11 MAC 控制器

- 支持 10/100Mbps PHY 器件，包括 10 Base-T、100 Base-TX、100 Base-FX 和 100 Base-T4；
- 完全兼容 IEEE 标准 802.3
- 完全兼容 802.3x 全双工流控和半双工背压流控
- 支持 VLAN 帧
- 支持 DMA 传输模式
- 支持标准的媒体独立接口（MII）
- 支持标准的简化 MII 接口（RMII）可连接外部 PHY 芯片

1.1.12 USB2.0 控制器

- 1 个 USB OTG 2.0 控制器
- 1 个 USB HOST 2.0 控制器
- 支持高速和全速模式
- 支持 DMA 传输模式
- 兼容 USB Rev 1.1 、USB Rev 2.0 协议

1.1.13 SPI 控制器

- 支持两路独立 SPI 接口，每路 SPI 接口均支持 4 个片选
- 遵循串行外设接口(SPI)规范
- 支持同步、串行、全双工通信
- 支持 SPI 主模式

- 每次传输 8~16 位
- 支持查询、中断传输模式
- 支持 SPI nor flash 启动
- 支持 SPI 接口双向输入输出，最高数据传输速度 24~96 Mbps
- 支持最低速率通讯要求，速率达 25KB 以下，方便匹配特殊设备。

1.1.14 I²C 控制器

- 三路标准 I²C 总线接口
- 支持主、从、或主/从模式配置
- 总线的时钟频率可编程

1.1.15 UART 控制器

- 支持两个全功能串口，其中全功能串口 0，可复用为 4 个两线串口，支持智能卡协议
- 基于中断操作的 RxD0, TxD0, RxD1, TxD1, RxD2 和 TxD2;
- UART 通道 0, 1 和 2 带 IrDA 1.0
- UART 通道 0 和 1 带 RTS0, CTS0, RTS1 和 CTS1

1.1.16 GPIO

- 最多支持 105 个 GPIO
- 所有 GPIO（启动和系统配置除外）在复位后默认为输入
- 所有 GPIO 支持中断功能
- 每个 GPIO 管脚均支持电平触发、边沿触发模式，可独立配置
- GPIO 管脚速率可达 4MHz

1.1.17 PWM 控制器

- 4 路 32 位可配置 PWM 定时器
- 支持定时器功能
- 支持计数器功能
- 支持防死区发生控制

1.1.18 RTC

- 计时精确到 0.1 秒
- 支持外部无源晶体作为 RTC 时钟输入
- 支持外部电池供电运行，断电后由电池供电
- 专门的电源管脚，可以与电池或者 3.3V 主电源相连
- 提供秒、分、时、日、月、年

1.1.19 CAN 控制器

- 2 路独立 CAN 控制器
- 兼容 CAN2.0A 和 CAN2.0B 协议（PCA82C200 兼容模式中的无源扩展帧）
- 支持 CAN 协议扩展
- 位速率可达 1Mbits/s

1.1.20 SDIO 控制器

- 1 路独立 SDIO 控制器
- 兼容 SD Memory 2.0/MMC/SDIO 2.0 协议
- 支持 SDIO 启动

1.1.21 ADC 控制器

- 采样率最高 1MHz
- 4 路 ADC 输入
- 支持 4 线和 5 线触摸屏
- 支持连续采样和单次采样
- 支持模拟看门狗

1.2 文档约定

1.2.1 信号命名

信号名的选取以方便记忆和明确标识功能为原则。低有效信号以 n 结尾，

高有效信号则不带 n。如无特别说明，以 ACPI/GMAC/USB 开头的信号位于 RSM 域；以 RTC 开头的信号位于 RTC 域；其它信号位于 SOC 域。

1.2.2 信号类型

代码	描述
A	模拟
DIFF I/O	双向差分
DIFF IN	差分输入
DIFF OUT	差分输出
I	输入
I/O	双向
O	输出
OD	开漏输出
P	电源
G	地
PU	上拉
PD	下拉

1.2.3 数值表示

16 进制数表示为'hxxx，2 进制数表示为'bxx，其它数字为 10 进制。

功能相同但标号有别的引脚（如 DDR_DQ0, DDR_DQ1, ...）使用方括号加数字范围的形式简写（如 DDR_DQ[63:0]）。类似地，寄存器域也采用这种表示方式。

1.2.4 寄存器域

寄存器域以[寄存器名].[域名]的形式加以引用。如 chip_config0. uart_split 指芯片配置寄存器 0（chip_config0）的 uart_split 域。

2 引脚定义

2.1 LCD 接口

信号名称	类型	上下拉	描述	电压
LCD_CLK	O	PU	LCD 时钟信号	3.3V
LCD_HSYNC	O	PU	LCD 水平同步信号	3.3V
LCD_VSYNC	O	PU	LCD 垂直同步信号	3.3V
LCD_EN	O	PU	LCD 使能信号	3.3V

LCD_DAT[15:0]	O	PU	LCD 数据信号	3.3V
---------------	---	----	----------	------

【注】在 QFP100 封装下，LCD 接口不能用。在 QFP176 封装下，LCD 可以用 16 位和 24 位模式。16 位模式下引脚不需要复用；在 24 位模式下，低位需要复用 CAM_DAT[7:0]或者 MAC 信号。

2.2 SDRAM 接口

信号名称	类型	上下拉	描述	电压
SD_CLK	O	-	SDRAM 时钟信号	3.3V
SD_CKE	O	-	SDRAM 时钟使能信号，高电平有效	3.3V
SD_CSn	O	-	SDRAM 片选信号，低电平有效	3.3V
SD_RASn	O	-	SDRAM 行选通信号，低电平有效	3.3V
SD_CASn	O	-	SDRAM 列选通信号，低电平有效	3.3V
SD_WE	O	-	SDRAM 读写信号，低电平为写	3.3V
SD_BA[1:0]	O	-	SDRAM 的 Bank 信号，一共 4 个 Bank	3.3V
SD_ADDR[12:0]	O	-	SDRAM 地址信号	3.3V
SD_DATA[15:0]	I/O	-	SDRAM 数据信号	3.3V
SD_DQM[1:0]	O	-	SDRAM 数据屏蔽信号	3.3V

2.3 SRAM/NOR Flash 接口

信号名称	类型	上下拉	描述	电压
SRAM_CSn	O	-	SRAM 片选信号，低电平有效	3.3V
SRAM_WEn	O	-	SRAM 写使能信号，低电平有效	3.3V
SRAM_OEn	O	-	SRAM 读使能信号，低电平有效	3.3V
SRAM_ADDR[25:0]	O	-	SRAM 地址信号	3.3V
SRAM_DATA[15:0]	I/O	-	SRAM 数据信号	3.3V
SRAM_BHE	O	-	SRAM 高 Byte 数据有效信号	3.3V
SRAM_BLE	O	-	SRAM 低 Byte 数据有效信号	3.3V

【注】在 QFP100 和 QFP176 封装下，SRAM/NOR Flash 引脚都没有封出来，需要和 SDRAM 复用，所以 SRAM/NOR Flash 不能和 SDRAM 同时使用。复用关系见附录表 9-1，通过配置相应的寄存器，可以复用这一组接口信号。

2.4 I²S 接口

信号名称	类型	上下拉	描述	电压
I2S_MCLK	O	PU	I2S 时钟信号	3.3V

I2S_BCLK	O	PU	I2S 比特位时钟信号	3.3V
I2S_LRCK	O	PU	I2S 通道选择信号	3.3V
I2S_DI	I	PU	I2S 数据串行输入信号	3.3V
I2S_DO	O	PU	I2S 数据串行输出信号	3.3V

【注】在 QFP100 封装下，I2S 接口没有引出来，需要和 MAC 引脚复用。
在 QFP176 封装下，I2S 接口引出来了，可以直接使用。

2.5 I²C 接口

信号名称	类型	上下拉	描述	电压
I2C[2:0]_SCL	O	未引出	I ² C 串行时钟	3.3V
I2C[2:0]_SDA	I/O	未引出	I ² C 串行数据	3.3V

【注】在QFP100 和QFP176 封装下，I2C接口都没有引出来，需要和MAC、EJTAG、LCD或CAM引脚复用。

2.6 UART 接口

信号名称	类型	上下拉	描述	电压
UART0_TX	O	PU	UART0 数据发送	3.3V
UART0_RX	I	PU	UART0 数据接收	3.3V
UART0_RTS	I	PU	UART0 请求接收	3.3V
UART0_CTS	I	PU	UART0 允许接收	3.3V
UART0_DSR	I	PU	UART0 设备准备好	3.3V
UART0_DTR	O	PU	UART0 数据终端准备好	3.3V
UART0_DCD	I	PU	UART0 载波检测	3.3V
UART0_RI	I	PU	UART0 振铃提示	3.3V

【注】在QFP100 封装下，无全功能串口，只有两线式。在QFP176U封装下，全功能串口可直接使用。

2.7 PWM 接口

信号名称	类型	上下拉	描述	电压
PWM0	O	PU	PWM0 脉冲输出	3.3V
PWM1	O	PU	PWM1 脉冲输出	3.3V
PWM2	O	未引出	PWM2 脉冲输出	3.3V
PWM3	O	未引出	PWM3 脉冲输出	3.3V

【注】在QFP100 封装下，PWM没有引出来，需要和其它复用。在QFP176 封装下，PWM0 和PWM1 可直接使用，PWM2 和PWM3 需要和其它复用。

2.8 ADC 接口

信号名称	类型	上下拉	描述	电压
ADC_REXT	I	-	ADC 参考电阻	25K 欧
ADC_VREF	I	-	ADC 参考电压	0.5~0.9_VDDA
ADC_VDDA	I	-	ADC 模拟电源	3.3V
ADC_VSSA	I	-	ADC 模拟地	0
ADC_D0	I	-	ADC 第 0 通道采样输入	0.01~0.99VREF
ADC_D1	I	-	ADC 第 1 通道采样输入	
ADC_XP	I	-	触摸屏 X+/ADC 第 2 通道采样输入	
ADC_YP	I	-	触摸屏 Y+/ADC 第 3 通道采样输入	

【注】AD接口仅在QFP176A封装下可用

2.9 SPI 接口

信号名称	类型	上下拉	描述	电压
SPL_SCK	O	PU	SPI 时钟输出	3.3V
SPI[3:0]_CSn	O	PU	SPI 片选 0~3	3.3V
SPI_MOSI	O	PD	SPI 数据输出	3.3V
SPI_MISO	I	PD	SPI 数据输入	3.3V

2.10 EJTAG 接口

信号名称	类型	上下拉	描述	电压
EJTAG_SEL	I	PU	JTAG 选择(0: JTAG, 1: EJTAG)	3.3V
JTAG_SEL	I	PU	TAG 引脚功能复用(为 1 选择复用功能)	3.3V
EJTAG_TCK	I	PU	JTAG 时钟	3.3V
EJTAG_TDI	I	PU	JTAG 数据输入	3.3V
EJTAG_TMS	I	PU	JTAG 模式	3.3V
EJTAG_TRST	I	PU	JTAG 复位, 需下拉	3.3V
EJTAG_TDO	O	PU	JTAG 数据输出	3.3V

【注】EJTAG_SEL是选择JTAG还是EJTAG，JTAG_SEL是用来选择JTAG复用功能，不要混淆。

2.11 CAMERA 接口

信号名称	类型	上下拉	描述	电压
------	----	-----	----	----

CAM_CLKOUT	O	PU	摄像头参考时钟输出	3.3V
CAM_PCLK_I	I	PU	摄像头像素时钟输入	3.3V
CAM_HSYNC	I	PU	摄像头水平同步信号	3.3V
CAM_VSYNC	I	PU	摄像头垂直同步信号	3.3V
CAMDATA[7:0]	I	PU	摄像头数据输入	3.3V

【注】在QFP100封装下，CAM没有引出来，需要和NAND、MAC复用。
在QFP176封装下，CAM可直接使用。

2.12 NAND 接口

信号名称	类型	上下拉	描述	电压
NAND_CLE	O	PD	NAND 命令锁存	3.3V
NAND_ALE	O	PD	NAND 地址锁存	3.3V
NAND_RD	O	PD	NAND 读信号	3.3V
NAND_WR	O	PD	NAND 写信号	3.3V
NAND_CE	O	PD	NAND 片选 0	3.3V
NAND_RDY	I	PD	NAND 准备好 0	3.3V
NAND_D[7:0]	I/O	PD	NAND 地址/数据线	3.3V

2.13 MAC 接口

信号名称	类型	上下拉	描述	电压
MAC_TXCK	O	PU	MII 发送时钟	3.3V
MAC_TXEN	O	PU	MII 发送控制	3.3V
MAC_TXD[3:0]	O	PU	MII 发送数据	3.3V
MAC_RXCK	I	PU	MII 接收时钟	3.3V
MAC_RXDV	I	PU	MII 接收控制	3.3V
MAC_RXER	I	PU	MII 接收错误	3.3V
MAC_RXD[3:0]	I	PU	MII 接收数据	3.3V
MAC_MDCK	O	PU	SMA 接口时钟	3.3V
MAC_MDIO	I/O	PU	SMA 接口数据	3.3V
MAC_COL	I	PU	MAC 冲突检测	3.3V
MAC_CRS	I	PU	MAC 载波侦测	3.3V

【注】在QFP100封装下，MAC只能使用RMII模式。在QFP176封装下，可使用MII和RMII模式。

2.14 OTG 接口

信号名称	类型	上下拉	描述	电压
OTG_DVDD			OTG 数字电源	1.2V
OTG_DVSS			OTG 数字地	0
OTG_VDD33			OTG 模拟电源	3.3V
OTG_VSS33			OTG 模拟地	0
OTG_REXT			OTG 参考电阻	44.2 欧
OTG_DP	DIFF I/O	-	OTG 差分信号线 D+	5V
OTG_DM	DIFF I/O	-	OTG 差分信号线 D-	5V
OTG_VBUS			OTG_VBUS	5V
OTG_ID			OTG_ID	3.3V

2.15 USB 接口

信号名称	类型	上下拉	描述	电压
USB_DVDD			USB 数字电源	1.2V
USB_DVSS			USB 数字地	0
USB_VDD33			USB 模拟电源	3.3V
USB_VSS33			USB 模拟地	0
USB_REXT			USB 参考电阻	44.2 欧
USB_DP	DIFF I/O	-	USB 差分信号线 D+	5V
USB_DM	DIFF I/O	-	USB 差分信号线 D-	5V

【注】在QFP100封装下，USB HOST不能使用。在QFP176封装下，可以使用。

2.16 RTC 接口

信号名称	类型	上下拉	描述	电压
RTC_CLK_I	I	-	RTC 晶振输入，接 32.768K 晶振	-
RTC_CLK_O	O	-	RTC 晶振输出	-
VR_VDDA			RTC 电源	3.0V

2.17 时钟配置信号

信号名称	类型	上下拉	描述	电压
XTALI	I	-	系统时钟晶振输入，接 24M	-
XTALO	O	-	系统时钟晶振输出	-

2.18 电源地

信号名称	类型	上下拉	描述	电压
PLL_VDD33	P		Core PLL 模拟电源	3.3V
PLL_VSS33	G		Core PLL 模拟地	0
PLL_VDD12	P		Core PLL 数字电源	1.2V
PLL_VSS12	G		Core PLL 数字地	0
CORE_VDD	P		核电压电源	1.2V
CORE_VSS	G		核电压地	0
IO_VDD	P		IO 电源	3.3V

2.19 初始化信号

龙芯 1C 有三种启动方式，SPI FLASH、NAND FLASH、SDIO。复用功能引脚，通过在系统复位期间采样外部上下拉的值得到配置信息，供软件判定上电状态。

表 2-1 配置信号

引脚名称	信号名称	描述
NAND_D[3:0]	start_freq	上电启动时 PLL 倍频配置，频率计算公式为： $\text{Freq} = 6 * (4 * \text{NAND_D}[3:0] + 40)$ ； 当 NAND_D[3:0]=0 时为 bypass 模式，PLL 输出参考时钟 当 NAND_D[3:0]! = 0 时，PLL 输出倍频后的时钟 PLL 输出到 CPU 时钟有分频器，默认二分频 CPU 到 SDRAM 有分频器，默认二分频
NAND_D[5:4]	boot_sel	启动选择，在 QFP100 和 QFP176 封装下不同（在 QFP100 封装下，NAND 的控制信号没有封装成引脚） 在 QFP100 封装下，boot_sel 为 01：表示从 SPI flash 启动 10：表示从 NAND flash 启动（复用 SDRAM 引脚） 11：表示从 NAND flash 启动（复用 MAC 引脚） 在 QFP176 封装下，boot_sel 为 01：表示从 SPI flash 启动 10：表示从 NAND flash 启动 11：表示从 SDIO 启动
NAND_D[7:6]	nand_type	NAND boot 时配置 NAND flash 颗粒容量大小 11：表示容量大等于 2Gb（2KB 页/4KB 页/8KB 页） 10：表示容量为 1Gb（2KB 页） 01：表示容量为 512Mb（512 Bytes 页） 00：表示容量为小等于 256Mb（512 Bytes 页）

NAND_CLE	rs_rd_cfg	NAND boot 时是否采用 ECC，仅在 boot_sel 选择 NAND flash 启动时有效 为 0 时，表示 NAND 非 ECC 启动 为 1 时，表示 NAND ECC 启动
SPI0_CLK	usb_refclksel	USB_HOST 和 USB_OTG 的时钟选择信号，为 1 时表示由内部的 PLL 提供时钟，为 0 时表示由外部的晶振提供时钟。必须上拉。

3 功能描述

3.1 SDRAM 控制器接口描述

龙芯 1C 集成了内存控制器，支持市面上常见的 8 位、16 位 SDRAM 颗粒，支持最大的存储容量不少于 256MB。

3.1.1 SDRAM 控制器特性

龙芯 1C300 处理器有一个内存控制器，可以支持 2 位片选（1C300A 的所有封装都不支持）、14 位的地址总线（行列复用）和 2 位逻辑 Bank 地址总线，实现最大寻址单元是 $1G(2^{30})$ （1C300A 为 512M），如果是 16 位数据位宽，则最大寻址空间为 2GB（1C300A 为 1GB）。

在使用 SDRAM 之前，需要配置 SDRAM 控制器的参数。对于龙芯 1C300 处理器，SDRAM 控制器支持的行地址（Row）和列地址（Col）的最大带宽分别是 14 和 13，还有 2 位的逻辑 bank 信号（Bank）。每个确定的行地址、列地址和 bank 地址对应唯一的一个存储单元，每个存储单元中的内容通过 DQM 来确定是否被选中。考虑到用户使用内存的地址连续性及减少换行的开销，物理地址和行列地址的映射关系如下：

$$\text{物理地址} = \{\text{cs, row, bank, col}\} * \text{数据宽度} / 8$$

（注：1C300A 中无 CS）

内存控制器接收从处理器或外部设备发送的内存读写请求。无论是读还是写操作，内存控制器都处在 slave 状态。

内存控制器中实现了动态页管理功能。对于内存的一次存取，不需软件设计者的干预，控制器会在硬件电路上选择最迟关闭行和交错预充电策略。内存控制器特性包括：

- 支持自刷新进入低功耗模式；
- 通过寄存器配置内存控制器参数；
- 不同 bank 的读写操作实现全流水；
- 频率：33MHz-133MHz；
- 8/16 位软件可选择总线宽度。

3.1.2 SDRAM 基本读时序

图 3-1 中显示 SDRAM 读协议，命令（CMD）包括 RAS_n，CAS_n 和

WE_n。当一个读请求发生时，RAS_n=1，CAS_n=0，WE_n=1。

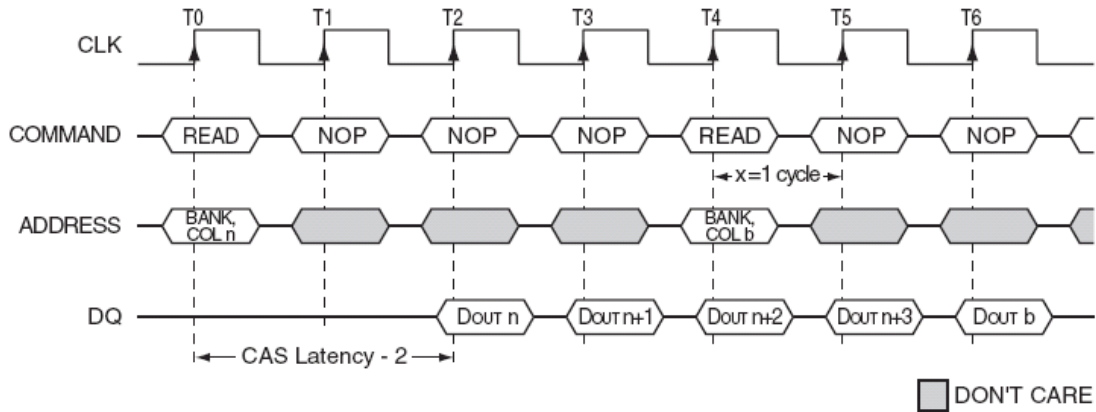


图 3-1 SDRAM读协议

注：Cas Latency = 2, Burst Length = 4

3.1.3 SDRAM 基本写时序

在图 3-2 中显示 SDRAM 写协议，命令（CMD）包括 RAS_n，CAS_n 和 WE_n。当写请求发生时，RAS_n=1，CAS_n=0，WE_n=0。与读协议不同，DQM 是用来屏蔽写数据的。

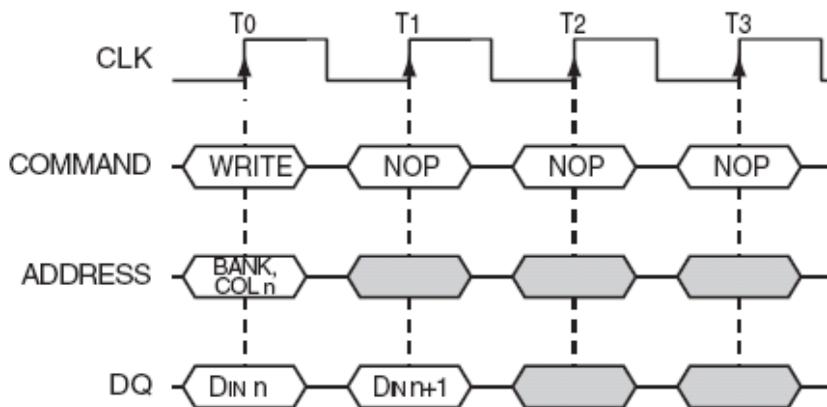


图 3-2 SDRAM写协议

注：Burst Length = 2.

3.2 CAMERA 接口描述

龙芯 1C 集成了 CAMERA 接口（Camera Interface），支持 ITU-R

BT.601/656 YCbCr 8-bit 标准和 RGB565/888 8-bit 标准的输入。支持 640x480 和 320x240 以及其他任意分辨率模式；支持 RGB565\888 和 ITU-R BT.601 模式 640x480 分辨率下的缩小一倍，其余分辨率不支持缩放功能；支持 YUV4:2:2/RGB565/RGB888/RGB0888 格式输出。

3.2.1 CAMERA 接口特性

龙芯处理器包括一个 camera 的控制器，根据寄存器的配置，能对输入的图像进行缩小和转化功能。控制器的功能特性包括：

- 支持 ITU-R BT.601/656 8-bit 和 RGB565/RGB888 8-bit 模式外部接口；
- 支持任意分辨率输入的配置；
- 仅 640x480 支持缩小 1 倍；
- 输出格式：YCbCr4:2:2, RGB565, RGB888, RGB0888 (32 位)，当输出格式为 RGB565/ YCbCr 4:2:2, 输入像素必须是 32 的整数倍；输出格式为 RGB888/RGB0888, 输入像素为 16 的整数倍；
- 支持任意像素分辨率下格式 ITU-R BT.601/656 8-bit 输入转 RGB (565/888) 格式的输出，不支持 RGB 输入转 YCbCr4:2:2 输出；
- 输出区域为 4 段各能容纳一帧图象的地址空间，可分别配置各地址空间的基地址以及 YCbCr4:2:2 格式下 u 和 v 分量存放的偏移地址；
- 支持 RGB565 转 RGB565；
- 支持 RGB888 转 RGB888、RGB0888；
- 支持 BT601 转 RGB565、RGB0888、YUV；
- 支持 BT656 转 RGB565、RGB0888、YUV；
- 支持 640x480 像素的缩小 1 倍(TU-R BT.656 格式除外)；
- 支持 RGB 格式输出的矩阵显示。

3.2.2 CAMERA 接口协议

控制器与 Camera 接口(CAMIF)信号：

PCLK : 1 位输入信号；Camera 处理器驱动的像素时钟。

VSYNC: 1 位输入信号；Camera 处理器驱动的帧同步信号。

HREF : 1 位输入信号；Camera 处理器驱动的行同步信号。

DATA : 8 位输入信号；Camera 处理器启动的像素数据。

ITU-R BT.601 8-bit 输入时序如图 3-3 所示，其中数据输入顺序可以为

YCbY Cr 或者 YCrYCb 或者 CrYCbY 或者 CbYCrY。

RGB565/RGB888 8-bit 输入时序与 ITU-R BT.601 8-bit 输入时序一致，仅数据输入顺序有区别。对于 RGB888，数据输入顺序可以为 R G B 或 B G R。对于 RGB565，数据输入顺序可以为 R5G3 G3B5 或 B5G3 G3R5。RGB565/RGB888 和 ITU-R BT.601 输入模式 可以根据状态寄存器的低两位来设置行有效和帧有效的高低电平。

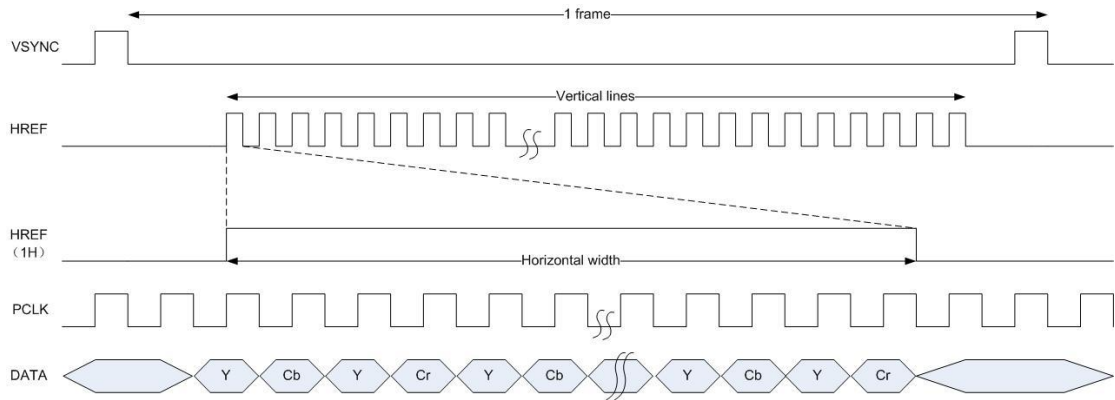


图 3-3 ITU-R BT.601 输入时序

ITU-R BT.656 输入时序如图 3-4 所示，其中数据输入顺序可以为 Y CbYCr 或者 YCrYCb 或者 CrYCbY 或者 CbYCrY。SAV 为行起始码，EAV 为行结束码。基准码（reference code）定义如表 3-1 所示，其中 XY 值的定义如表 3-2 所示。仅当 XY 为 80、9D 组合或者 C7、DA 组合时，为有效行数据。

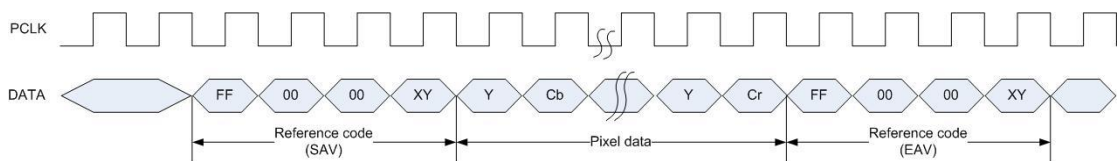


图 3-4 ITU-R BT.656 输入时序

表 3-1 ITU-R BT.656 基准码

数据比特编号	第一个字(3FF)	第二个字(000)	第三个字(000)	第四个字(XYZ)
7(MSB)	1	0	0	1
6	1	0	0	F
5	1	0	0	V
4	1	0	0	H
3	1	0	0	P3
2	1	0	0	P2

1	1	0	0	P1
0	1	0	0	P0

注:

F 在场 1 中为 0;在场 2 中为 1

V 其它位置为 0;场消隐期间为 1

H SAV 中为 0;EAV 中为 1

P0, P1, P2, P3: 保护比特 (见表 3-2)

表 3-2 第四个字节 XY 值

MSB				LSB				XY 16 进制
1	F	V	H	P3	P2	P1	P0	
1	0	0	0	0	0	0	0	80
1	0	0	1	1	1	0	1	9D
1	0	1	0	1	0	1	1	AB
1	0	1	1	0	1	1	0	B6
1	1	0	0	0	1	1	1	C7
1	1	0	1	1	0	1	0	DA
1	1	1	0	1	1	0	0	EC
1	1	1	1	0	0	0	1	F1

3.3 ADC 控制器接口描述

龙芯 1C 集成了 ADC 控制器, 用于控制 ADC 的通道的使用, 实现一些特定的应用, 如连续转换、单次转换、触摸屏应用和模拟看门狗等。

3.3.1 ADC 接口特性

龙芯 1C 中的 ADC 控制器的主要特性参数如下:

- 4 通道 ADC 模拟输入, 10bit 输出精度
- 测量电压范围为 0.15~0.99VREF, 推荐模拟输入电压不超过 3.3V
- ADC 的工作频率可配置, 从 0~16M
- ADC 的工作模式有单次、连续转换, 触摸屏应用属于特殊的连续转换
- ADC 的连续转换采用 DMA 传输数据, 但触摸屏的坐标不采用 DMA
- ADC 的连续转换时间间隔可配置, 从 0~1M
- ADC 的一些通道在连续转换时, 未被用到的通道可进行单次转换

- 触摸屏应用时，当触摸屏被按下时产生中断，当触摸屏被释放时也产生中断
- 可支持四线式触摸屏和五线式触摸屏，连接四线式触摸屏时有两路通用 ADC 可以使用，连接五线式触摸屏时有三路通用 ADC 可以使用
- 可支持多通道扫描式单次转换
- 可支持 analog watchdog 功能，上限下限阈值可配置，超过阈值时产生中断

3.3.2 ADC 控制器的触摸屏应用

芯片一共有 4 路 ADC 输入，其中两路 ADC 用于触摸屏的采样（X 和 Y 方向），另外两路为通用 ADC 输入。ADC 控制器支持四线式触摸屏和五线式触摸屏，两者的测量方法略有不同。

四线触摸屏测量原理如下：

四线触摸屏包含两个阻性层。其中一层在屏幕的左右边缘各有一条垂直总线，另一层在屏幕的底部和顶部各有一条水平总线，见下图。为了在 X 轴方向进行测量，将左侧总线偏置为 0V，右侧总线偏置为 VREF。将顶部或底部总线连接到 ADC，当顶层和底层相接触时即可作一次测量。

为了在 Y 轴方向进行测量，将顶部总线偏置为 VREF，底部总线偏置为 0V。将 ADC 输入端接左侧总线或右侧总线，当顶层与底层相接触时即可对电压进行测量。图 3-5 显示了四线触摸屏在两层相接触时的简化模型。对于四线触摸屏，最理想的连接方法是将偏置为 VREF 的总线接 ADC 的正参考输入端，并将设置为 0V 的总线接 ADC 的负参考输入端。

在测量触摸屏输入时，除了两路 ADC 输入(X+和 Y+)，还需要两个数字 PAD (X-和 Y-) 引脚配合。

当测量 X 方向时，将 X+和 X-分别输出 VREF 和 0，同时启动 Y+的 ADC 转换；测量 Y 方向时，将 Y+和 Y-分别输出 VREF 和 0，同时启动 X+的 ADC 转换；这就完成了一次坐标的测量。

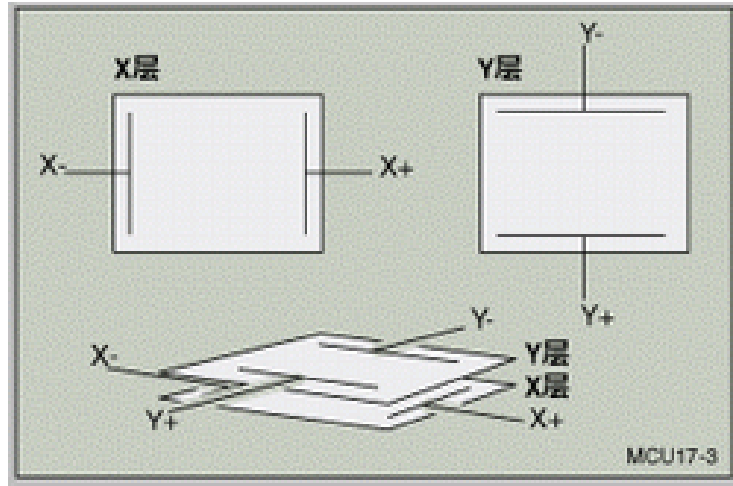


图 3-5 触摸屏测量原理

五线式电阻屏测量原理和四线式测量原理基本相同，但是在测量方法上略有不同：

五线触摸屏使用了一个阻性层和一个导电层。导电层有一个触点，通常在其一侧的边缘。阻性层的四个角上各有一个触点。为了在 X 轴方向进行测量，将左上角和左下角偏置到 V_{REF} ，右上角和右下角接地。由于左、右角为同一电压，其效果与连接左右侧的总线差不多，类似于四线触摸屏中采用的方法。

为了沿 Y 轴方向进行测量，将左上角和右上角偏置为 V_{REF} ，左下角和右下角偏置为 $0V$ 。由于上、下角分别为同一电压，其效果与连接顶部和底部边缘的总线大致相同，类似于在四线触摸屏中采用的方法。这种测量算法的优点在于它使左上角和右下角的电压保持不变。对于五线触摸屏，最佳的连接方法是将左上角(偏置为 V_{REF})接 ADC 的正参考输入端，将右下角(偏置为 $0V$)接 ADC 的负参考输入端。

在测量触摸屏输入时，需要 1 路 ADC 输入($Y+$)，还需要两个数字 PAD ($X-$ 和 $Y-$) 引脚配合，LB(复用 $X-$)连接左下角，RT(复用 $Y-$)连接右上角，左上角固定接 V_{REF} ，右下角固定接 $0V$ 。

当测量 X 方向时，将左下角和右上角分别输出 V_{REF} 和 0 ，同时启动 $Y+$ 的 ADC 转换；测量 Y 方向时，将左下角和右上角分别输出 0 和 V_{REF} ，同时启动 $Y+$ 的 ADC 转换；这就完成了一次坐标的测量。

4 初始化时序

4.1 上电顺序

1. RTC电源 VR_VDDA 3.0V, 间隔>1us
2. IO_VDD 3.3V, 间隔 1ms
3. PLL_VDD 3.3V, 间隔 1ms
4. CORE_VDD 1.2V

4.2 复位时序

SYS_RESET_复位输入初始为低，在上电序列完成至少 10 毫秒后再拉高。

5 电气特性

5.1 电源

5.1.1 推荐工作条件

表 5-1 推荐的工作电源电压

电源	描述	范围			最大电流
		Min.	Typ.	Max.	
CORE_VDD	CPU 域电源	1.1V	1.2V	1.3V	0.5A
IO_VDD	IO 电源	3.135V	3.3V	3.465V	TBD
VR_VDDA	RTC 电源	2.0V	3.0V	3.465V	100uA
ADC_VDDA	ADC 模拟电源	3.135V	3.3V	3.465V	50mA
OTG_VDD33	OTG 电源	3.135V	3.3V	3.465V	50mA
OTG_DVDD	OTG 电源	1.1V	1.2V	1.3V	50mA
USB_VDD33	USB 模拟电源	3.135V	3.3V	3.465V	50mA
USB_DVDD	USB 模拟电源	1.1V	1.2V	1.3V	50mA
PLL_VDD33	PLL 电源	3.135V	3.3V	3.465V	50mA
PLL_DVDD	PLL 电源	1.1V	1.2V	1.3V	50mA

5.1.2 绝对最大额定值

表 5-2 绝对最大额定值

参数	描述	最小	最大	单位
CORE_VDD	CPU 域电源	-0.2	1.3	V
IO_VDD	IO 电源	-0.3	3.46	V
VR_VDDA	RTC 电源	-0.3	3.46	V
OTG_VDD33	OTG 电源	-0.3	3.46	V
OTG_DVDD	OTG 电源	-0.3	1.2	V
USB_VDD33	USB 模拟电源	-0.3	3.46	V
USB_DVDD	USB 模拟电源	-0.3	1.2	V
PLL_VDD33	PLL 电源	-0.3	3.46	V
PLL_DVDD	PLL 电源	-0.3	1.2	V

Tstg	存储温度	-50	100	°C
Tw	工作温度	-40	85	°C

5.2 SDRAM 接口特性

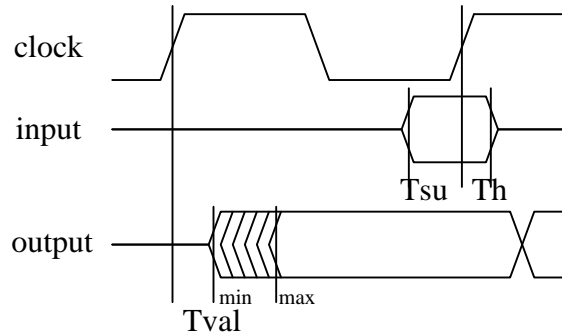


表 5-3 SDRAM 电气交流时序特性

参数	符号	最小	一般	最大	Units
输入建立时间	Tsu	0.9	-	-	ns
输入保持时间	Th	3.5	-	-	ns
输出延迟	Tval	1.1	-	4.26	ns

注：以上参数均在芯片引脚处定义，clock为SD_CLK。

5.3 CAMERA 接口特性

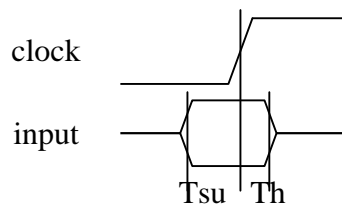


表 5-4 CAMERA 电气交流时序特性

参数	符号	最小	一般	最大	Units
输入建立时间	Tsu	2	-	-	ns
输入保持时间	Th	1	-	-	ns

5.4 MAC 接口特性

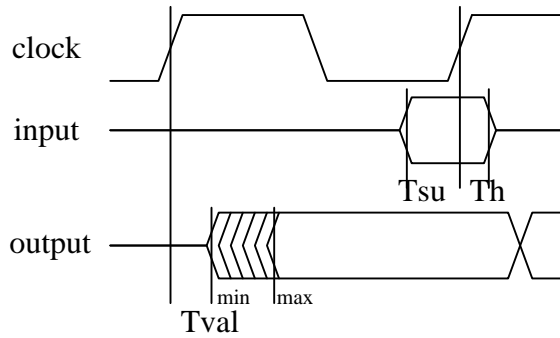


表 5-5 MAC 电气交流时序特性

参数	符号	最小	一般	最大	Units
输入建立时间	T_{su}	10	-	-	ns
输入保持时间	T_h	10	-	-	ns
输出延迟	T_{val}	0	-	11	ns

注：以上参数均在芯片引脚处定义，MII模式下TX和RX分别对应MAC_TXC和MAC_RXC，RMII模式下TX和RX均对应MAC_TXC。

5.5 USB 接口特性

下述表格源自 USB 2.0 规范。

表 5-6 USB 直流电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Input Levels for Low-/full-speed:					
High(driven)	V_{IH}		2		V
High(floating)	V_{IHZ}		2.7	3.6	V
Low	V_{IL}			0.8	V
Differential Input Sensitivity	V_{DI}	$ (D+)-(D-) $	0.2		V
Differential Common Mode Range	V_{CM}	Includes V_{DI} range	0.8	2.5	V
Input Levels for High-speed:					
High-speed squelch detection threshold (differential signal amplitude)	V_{HSSQ}		100	150	mV
High speed disconnect detection threshold (differential signal amplitude)	V_{HSDSC}		525	625	mV

High-speed differential input signaling levels					
High-speed data signaling common mode voltage range(guide line for receiver)	VHSCM		-50	500	mV
Output Levels for Low-/full-speed:					
Low	VOL		0	0.3	V
High(Driven)	VOH		2.8	3.6	V
SE1	VOSE1		0.8		V
Output Signal Crossover Voltage	VCRS		1.3	2	V
Output Levels for High-speed:					
High-speed idle level	VHSOI		-10	10	mV
High-speed data signaling high	VHSOH		360	440	mV
High-speed data signaling low	VHSOL		-10	10	mV
Chirp J level(differential voltage)	VCHIRPJ		700	1100	mV
Chirp K level(differential voltage)	VCHIRPK		-900	-500	mV
Decoupling Capacitance:					
Downstream Facing Port Bypass Capacitance (perhub)	CHPB	VBUS to GND	120		μ F
Upstream Facing Port Bypass Capacitance	CRPB	VBUS to GND	1	10	μ F
Input Capacitance for Low-/full-speed:					
Downstream Facing Port	CIND			150	pF
Upstream Facing Port(w/ocable)	CINUB			100	pF
Transceiver edge rate control capacitance	CEEDGE			75	pF
Input Impedance for High-speed:					
TDR spec for high-speed termination					
Terminations:					
Bus Pull-up Resistor on Upstream Facing Port	RPU	$1.5k\ \Omega \pm 5\%$	1.425	1.575	k Ω
Bus Pull-down Resistor on Downstream Facing Port	RPD	$15k\ \Omega \pm 5\%$	14.25	15.75	k Ω
Input impedance exclusive of pullup/pulldown(for low-/full-speed)	ZINP		300		k Ω
Termination voltage for upstream facing port pullup(RPU)	VTERM		3	3.6	V
Terminations in High-speed:					
Termination voltage in high-speed	VHSTERM		-10	10	mV

表 5-7 USB 高速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units
Driver Characteristics:					
Rise Time(10%-90%)	THSR		500		ps

Fall Time(10%-90%)	THSF		500		ps
Driver waveform requirements					
Driver Output Resistance(which also serves as high-speed termination)	ZHSDRV		40.5	49.5	Ω
Clock Timings:					
High-speed Data Rate	THSDRAT		479.76	480.24	Mb/s
Micro frame Interval	THSFRAM		124.9375	125.0625	μs
Consecutive Micro frame Interval Difference	THSRFI			4 high-speed bit times	
High-speed Data Timings:					
Data source jitter		Source and receiver jitter specified by the eye pattern templates in Section 7.1.2.2			
Receiver jitter tolerance					

表 5-8 USB 全速源电气特性

Parameter	Symbol	Conditions	Min.	Max.	Units	
Driver Characteristics:						
Rise Time	TFR		4	20	ns	
Fall Time	TFF		4	20	ns	
Differential Rise and Fall Time Matching	TFRFM	(TFR/TFF)	90	111.11	%	
Driver Output Resistance for driver which is not high-speed capable	ZDRV		28	44	Ω	
Clock Timings:						
Full-speed Data Rate for hubs and devices which are high-speed capable	TFDRATHS	Average bit rate	11.994	12.006	Mb/s	
Full-speed Data Rate for devices which are not high-speed capable	TFDRATE	Average bit rate	11.97	12.03	Mb/s	
Frame Interval	TFRAME		0.9995	1.0005	ms	
Consecutive Frame Interval Jitter	TRFI	No clock adjustment		42	ns	
Full-speed Data Timings:						
Source Jitter Total(including frequency tolerance):	To Next Transition	TDJ1		-3.5	3.5	ns
	For Paired Transitions	TDJ2		-4	4	ns
Source Jitter for Differential Transition to SE0 Transition	TFDEOP			-2	5	ns
Receiver Jitter:	To Next Transition	TJR1		-18.5	18.5	ns
	For Paired Transitions	TJR2		-9	9	ns
Source SE0 interval of EOP	TFEOPT		160	175	ns	
Receiver SE0 interval of EOP	TFEOPR		82		ns	
Width of SE0 interval during differential transition	TFST			14	ns	

表 5-9 USB 低速源电气特性

Parameter	Symbol	Min.	Max.	Units
Driver Characteristics:				
Transition Time:	Rise Time	TLR	75	300 ns

	Fall Time	TLF	75	300	ns
Rise and Fall Time Matching		TLRFM	80	125	%
Upstream Facing Port(w/cable, low-speed only)		CLINUA	200	450	pF
Clock Timings:					
Low-speed Data Rate for hubs which are high-speed capable		TLDRATHS	1.49925	1.50075	Mb/s
Low-speed Data Rate for devices which are not high-speed capable		TLDRATE	1.4775	1.5225	Mb/s
Low-speed Data Timings:					
Upstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TUDJ1	-95	95	ns
	For Paired Transitions	TUDJ2	-150	150	ns
Upstream facing port source Jitter for Differential Transition to SE0 Transition		TLDEOP	-40	100	ns
Upstream facing port differential Receiver Jitter:	To Next Transition	TDJR1	-75	75	ns
	For Paired Transitions	TDJR2	-45	45	ns
Downstream facing port source Jitter Total(including frequency tolerance):	To Next Transition	TDDJ1	-25	25	ns
	For Paired Transitions	TDDJ2	-14	14	ns
Downstream facing port source Jitter for Differential Transition to SE0 Transition					ns
Downstream facing port Differential Receiver Jitter:	To Next Transition	TUJR1	-152	152	ns
	For Paired Transitions	TUJR2	-200	200	ns
Source SE0 interval of EOP		TLEOPT	1.25	1.5	μs
Receiver SE0 interval of EOP		TLEOPR	670		ns
Width of SE0 interval during differential transition		TLST		210	ns

6 引脚排列和封装

针对不同的应用场合，龙芯 1C 设计了 3 种封装形式：QFP100、QFP176A 和 QFP176U。其中，QFP176A 封装支持 ADC 接口，QFP176U 封装支持全功能串口 UART。

目前，可供订货的封装只有 QFP176A。

6.1 按引脚排列的封装引脚

6.1.1 QFP100 的封装引脚

QFP100 的封装引脚表如下：

表 6-1 按引脚排列的 QFP100 封装引脚表

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
1	XTALI	32	SD_BA0	63	CORE_VSS
2	XTALO	33	SD_CKE	64	NAND_D7
3	LCD_CLK	34	SD_CLK	65	NAND_D6
4	LCD_EN	35	SD_A12	66	NAND_D5
5	SD_D15	36	SD_A11	67	NAND_D4
6	SD_D14	37	SD_A10	68	NAND_D3
7	SD_D13	38	SD_A09	69	NAND_D2
8	SD_D12	39	SD_A08	70	NAND_D1
9	SD_D11	40	CORE_VDD	71	NAND_D0
10	IO_VDD	41	IO_VDD	72	CORE_VDD
11	SD_D10	42	SD_A07	73	SYS_RESET_
12	SD_D09	43	SD_A06	74	JTAG_FUNC_SEL
13	SD_D08	44	SD_A05	75	IO_VDD
14	CORE_VSS	45	SD_A04	76	MAC_TXEN
15	SD_DQM1	46	SD_A03	77	MAC_TXD0
16	CORE_VDD	47	SD_A02	78	MAC_TXD1
17	SD_DQM0	48	SD_A01	79	MAC_RXER
18	SD_D07	49	SD_A00	80	MAC_RXDV
19	SD_D06	50	CORE_VSS	81	MAC_RXD0
20	SD_D05	51	SPI0_MISO	82	MAC_RXD1
21	SD_D04	52	SPI0_MOSI	83	MAC_TXC
22	SD_D03	53	SPI0_CS0	84	OTG_DVSS
23	SD_D02	54	SPI0_CLK	85	OTG_DVDD
24	SD_D01	55	EJTAG_FUNC_SEL	86	OTG_VDD33
25	SD_D00	56	EJTAG_TCK	87	OTG_VSS33
26	SD_WE	57	EJTAG_TMS	88	OTG_DM
27	SD_CASn	58	EJTAG_TDO	89	OTG_DP
28	SD_RASn	59	EJTAG_TDI	90	OTG_REXT
29	SD_CSn	60	EJTAG_RST	91	OTG_VBUS
30	SD_BA1	61	CORE_VDD	92	OTG_ID
31	CORE_VSS	62	IO_VDD	93	CORE_VSS

表 6-2 按引脚排列的 QFP100 封装引脚表 (续表)

94	PLL_VSS12	97	PLL_VDD33	100	VR_VDDA
95	PLL_VDD12	98	RTC_CLK_O		
96	PLL_VSS33	99	RTC_CLK_I		

6.1.2 QFP176A 的封装引脚

QFP176A 的封装引脚表如下:

表 6-3 按引脚排列的 QFP176A 封装引脚表

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
1	XTALI	39	SD_D05	77	PWM1
2	XTALO	40	SD_D04	78	PWM0
3	LCD_CLK	41	SD_D03	79	SPI0_CS2
4	LCD_HSYNC	42	SD_D02	80	CORE_VSS
5	LCD_VSYNC	43	SD_D01	81	ADC_REXT
6	LCD_EN	44	SD_D00	82	ADC_VREF
7	LCD_DAT0	45	IO_VDD	83	ADC_VDDA
8	LCD_DAT1	46	SD_WE	84	ADC_VSSA
9	LCD_DAT2	47	SD_CASn	85	ADC_D0
10	LCD_DAT3	48	SD_RASn	86	ADC_D1
11	CORE_VDD	49	SD_CSn	87	ADC_XP
12	LCD_DAT4	50	SD_BA1	88	ADC_YP
13	LCD_DAT5	51	CORE_VSS	89	SPI0_CS3
14	LCD_DAT6	52	SD_BA0	90	SPI0_MISO
15	LCD_DAT7	53	SD_CKE	91	SPI0_MOSI
16	LCD_DAT8	54	SD_CLK	92	SPI0_CS0
17	LCD_DAT9	55	SD_A12	93	SPI0_CS1
18	IO_VDD	56	SD_A11	94	SPI_CLK
19	LCD_DAT10	57	SD_A10	95	EJTAG_FUNC_SEL
20	LCD_DAT11	58	SD_A09	96	EJTAG_TCK
21	LCD_DAT12	59	SD_A08	97	EJTAG_TMS
22	CORE_VSS	60	SD_A07	98	EJTAG_TDO
23	LCD_DAT13	61	SD_A06	99	EJTAG_TDI
24	LCD_DAT14	62	SD_A05	100	EJTAG_RST
25	LCD_DAT15	63	SD_A04	101	CORE_VDD
26	CORE_VDD	64	SD_A03	102	IO_VDD
27	SD_D15	65	SD_A02	103	CAMDATA7
28	SD_D14	66	SD_A01	104	CAMDATA6
29	SD_D13	67	SD_A00	105	CAMDATA5
30	SD_D12	68	CORE_VDD	106	CAMDATA4
31	SD_D11	69	IO_VDD	107	CAMDATA3
32	SD_D10	70	I2S_DI	108	CAMDATA2
33	SD_D09	71	I2S_DO	109	CAMDATA1
34	SD_D08	72	I2S_LRCK	110	CAMDATA0
35	SD_DQM1	73	I2S_BCLK	111	CORE_VSS
36	SD_DQM0	74	I2C_SDA0	112	CAM_HSYNC
37	SD_D07	75	I2C_SCL0	113	CAM_VSYNC
38	SD_D06	76	I2S_MCLK	114	CAM_CLKOUT

表 6-4 按引脚排列的 QFP176A 封装引脚表 (续表)

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
115	CAM_PCLK_I	136	MAC_TXD1	157	OTG_DM
116	NAND_D7	137	MAC_RXER	158	OTG_DP
117	NAND_D6	138	MAC_RXDV	159	OTG_REXT
118	NAND_D5	139	MAC_RXD0	160	OTG_VBUS
119	NAND_D4	140	MAC_RXD1	161	OTG_ID
120	NAND_D3	141	MAC_MDC	162	CORE_VSS
121	NAND_D2	142	CORE_VSS	163	USB_DVSS
122	NAND_D1	143	MAC_MDIO	164	USB_DVDD
123	NAND_D0	144	MAC_RXD2	165	USB_VDD33
124	CORE_VDD	145	MAC_TXD2	166	USB_VSS33
125	SYS_RESET_	146	MAC_RXD3	167	USB_REXT
126	JTAG_FUNC_SEL	147	MAC_TXD3	168	USB_DM
127	NAND_RDY	148	MAC_TXC	169	USB_DP
128	NAND_CLE	149	MAC_COL	170	PLL_VSS12
129	NAND_ALE	150	MAC_RXC	171	PLL_VDD12
130	NAND_RD	151	MAC_CRS	172	PLL_VSS33
131	IO_VDD	152	CORE_VDD	173	PLL_VDD33
132	NAND_CE	153	OTG_DVSS	174	RTC_CLK_O
133	NAND_WR	154	OTG_DVDD	175	RTC_CLK_I
134	MAC_TXEN	155	OTG_VDD33	176	VR_VDDA
135	MAC_TXD0	156	OTG_VSS33		

6.1.3 QFP176U 的封装引脚

QFP176U 的封装引脚表如下：

表 6-5 按引脚排列的 QFP176U 封装引脚表

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
1	XTALI	19	LCD_DAT10	37	SD_D07
2	XTALO	20	LCD_DAT11	38	SD_D06
3	LCD_CLK	21	LCD_DAT12	39	SD_D05
4	LCD_HSYNC	22	CORE_VSS	40	SD_D04
5	LCD_VSYNC	23	LCD_DAT13	41	SD_D03
6	LCD_EN	24	LCD_DAT14	42	SD_D02
7	LCD_DAT0	25	LCD_DAT15	43	SD_D01
8	LCD_DAT1	26	CORE_VDD	44	SD_D00
9	LCD_DAT2	27	SD_D15	45	IO_VDD
10	LCD_DAT3	28	SD_D14	46	SD_WE
11	CORE_VDD	29	SD_D13	47	SD_CASn
12	LCD_DAT4	30	SD_D12	48	SD_RASn
13	LCD_DAT5	31	SD_D11	49	SD_CSn
14	LCD_DAT6	32	SD_D10	50	SD_BA1
15	LCD_DAT7	33	SD_D09	51	CORE_VSS
16	LCD_DAT8	34	SD_D08	52	SD_BA0
17	LCD_DAT9	35	SD_DQM1	53	SD_CKE
18	IO_VDD	36	SD_DQM0	54	SD_CLK

表 6-6 按引脚排列的 QFP176U 封装引脚表 (续表)

Pin Number	Net Name	Pin Number	Net Name	Pin Number	Net Name
55	SD_A12	96	EJTAG_TCK	137	MAC_RXER
56	SD_A11	97	EJTAG_TMS	138	MAC_RXDV
57	SD_A10	98	EJTAG_TDO	139	MAC_RXD0
58	SD_A09	99	EJTAG_TDI	140	MAC_RXD1
59	SD_A08	100	EJTAG_RST	141	MAC_MDC
60	SD_A07	101	CORE_VDD	142	CORE_VSS
61	SD_A06	102	IO_VDD	143	MAC_MDIO
62	SD_A05	103	CAMDATA7	144	MAC_RXD2
63	SD_A04	104	CAMDATA6	145	MAC_TXD2
64	SD_A03	105	CAMDATA5	146	MAC_RXD3
65	SD_A02	106	CAMDATA4	147	MAC_TXD3
66	SD_A01	107	CAMDATA3	148	MAC_TXC
67	SD_A00	108	CAMDATA2	149	MAC_COL
68	CORE_VDD	109	CAMDATA1	150	MAC_RXC
69	IO_VDD	110	CAMDATA0	151	MAC_CRS
70	I2S_DI	111	CORE_VSS	152	CORE_VDD
71	I2S_DO	112	CAM_HSYNC	153	OTG_DVSS
72	I2S_LRCK	113	CAM_VSYNC	154	OTG_DVDD
73	I2S_BCLK	114	CAM_CLKOUT	155	OTG_VDD33
74	I2C_SDA0	115	CAM_PCLK_I	156	OTG_VSS33
75	I2C_SCL0	116	NAND_D7	157	OTG_DM
76	I2S_MCLK	117	NAND_D6	158	OTG_DP
77	URT0_RX	118	NAND_D5	159	OTG_REXT
78	URT0_TX	119	NAND_D4	160	OTG_VBUS
79	URT0_RTS	120	NAND_D3	161	OTG_ID
80	URT0_CTS	121	NAND_D2	162	CORE_VSS
81	URT0_DSR	122	NAND_D1	163	USB_DVSS
82	URT0_DTR	123	NAND_D0	164	USB_DVDD
83	URT0_DCD	124	CORE_VDD	165	USB_VDD33
84	URT0_RI	125	SYS_RESET_	166	USB_VSS33
85	PWM1	126	JTAG_FUNC_SEL	167	USB_REXT
86	PWM0	127	NAND_RDY	168	USB_DM
87	SPI0_CS2	128	NAND_CLE	169	USB_DP
88	CORE_VSS	129	NAND_ALE	170	PLL_VSS12
89	SPI0_CS3	130	NAND_RD	171	PLL_VDD12
90	SPI0_MISO	131	IO_VDD	172	PLL_VSS33
91	SPI0_MOSI	132	NAND_CE	173	PLL_VDD33
92	SPI0_CS0	133	NAND_WR	174	RTC_CLK_O
93	SPI0_CS1	134	MAC_TXEN	175	RTC_CLK_I
94	SPI_CLK	135	MAC_TXD0	176	VR_VDDA
95	EJTAG_FUNC_SEL	136	MAC_TXD1		

6.2 引脚顶层排列

6.2.1 QFP100 的引脚顶层排列

QFP100 的引脚顶层排列如下图所示。

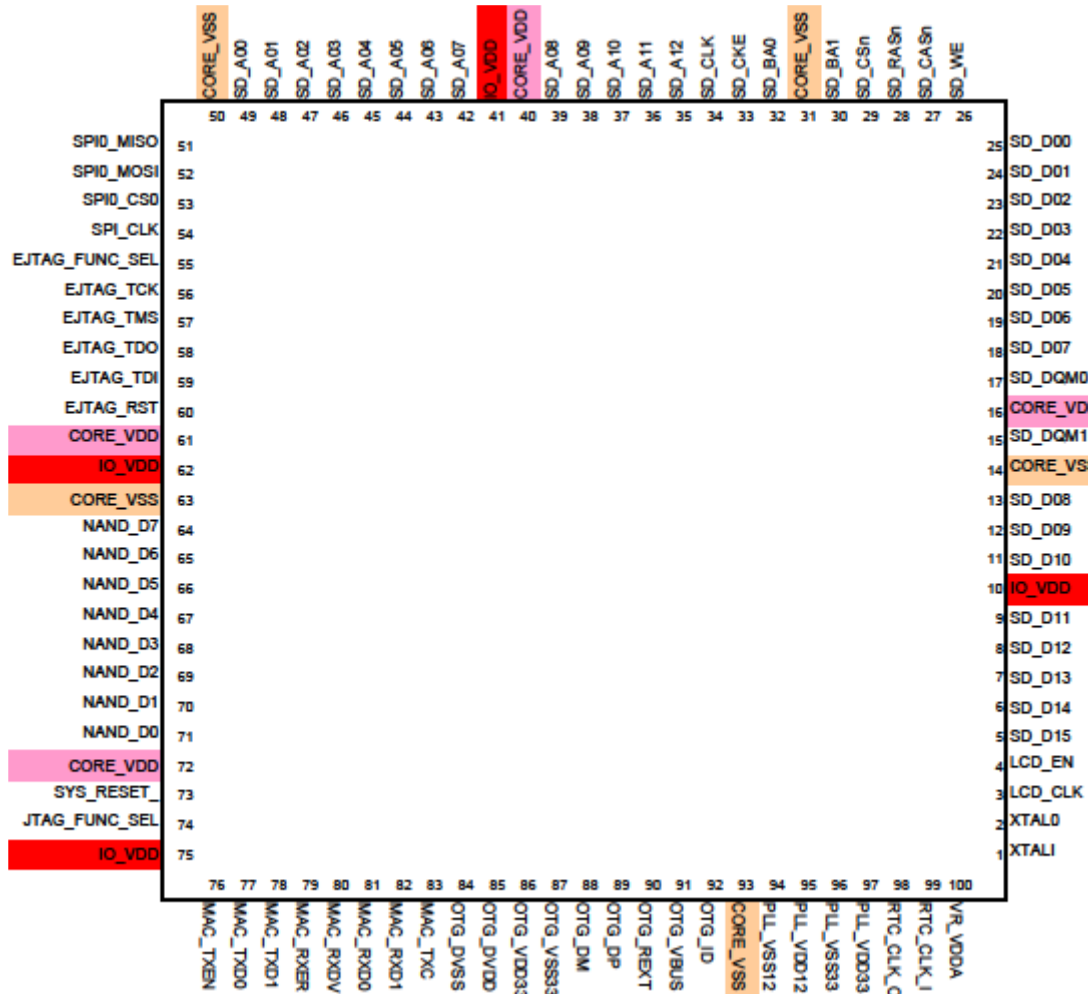


图 6-1 QFP100 的引脚顶层排列

6.2.2 QFP176A 的引脚顶层排列

QFP176A 的引脚顶层排列如图 6-2 和图 6-3 所示。

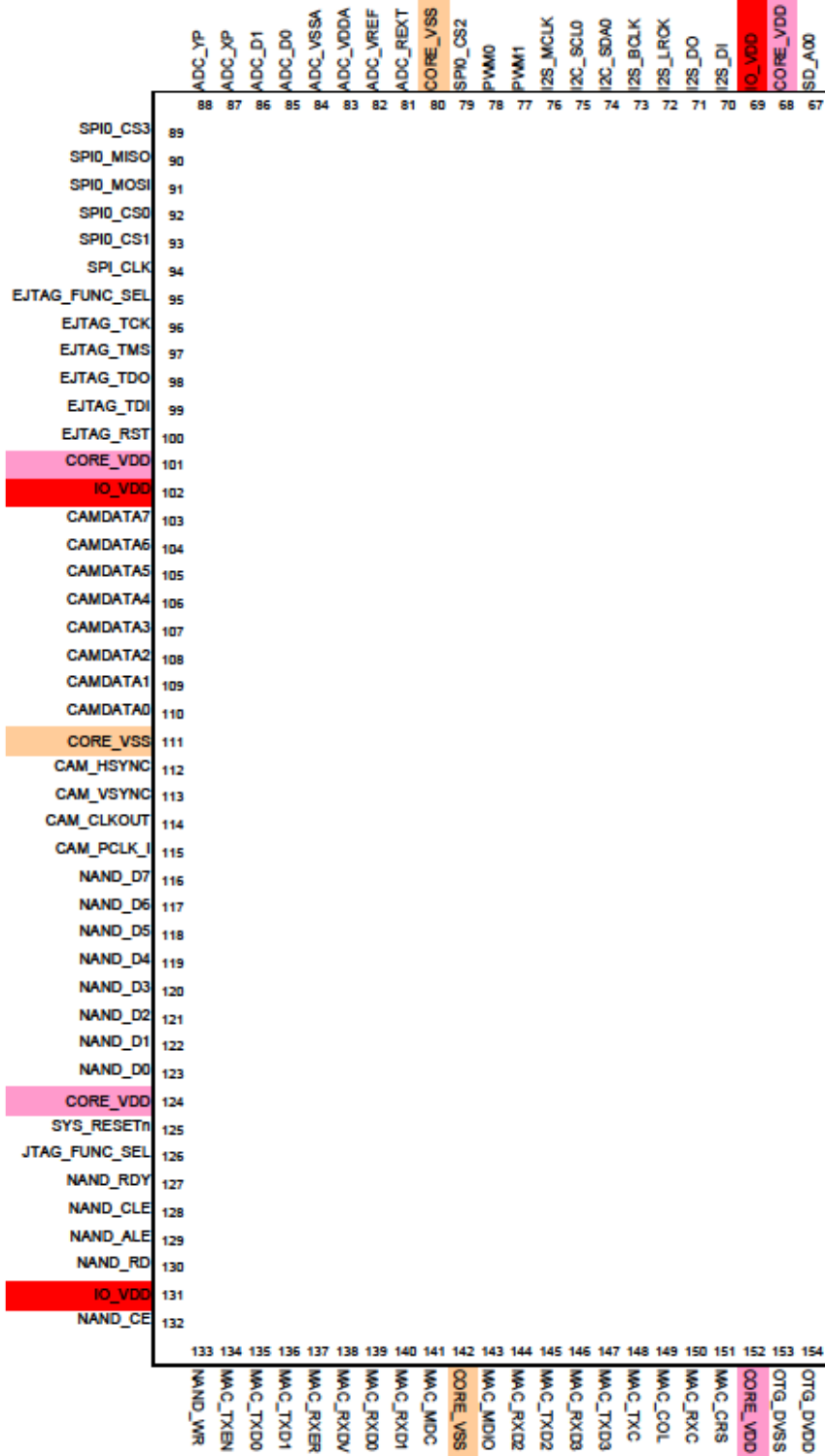


图 6-2 QFP176A 的引脚排列（左侧图）

SD_A01	56	44	SD_D00
SD_A02	55	43	SD_D01
SD_A03	54	42	SD_D02
SD_A04	53	41	SD_D03
SD_A05	52	40	SD_D04
SD_A06	51	39	SD_D05
SD_A07	50	38	SD_D06
SD_A08	49	37	SD_D07
SD_A09	48	36	SD_DQ00
SD_A10	47	35	SD_DQ01
SD_A11	46	34	SD_D08
SD_A12	45	33	SD_D09
SD_CLK		32	SD_D10
SD_CKE		31	SD_D11
SD_CKE		30	SD_D12
SD_BA0		29	SD_D13
CORE_VSS		28	SD_D14
SD_BA1		27	SD_D15
SD_CS0		26	CORE_VDD
SD_RASn		25	LCD_DAT15
SD_CASn		24	LCD_DAT14
SD_WE		23	LCD_DAT13
IO_VDD		22	CORE_VSS
		21	LCD_DAT12
		20	LCD_DAT11
		19	LCD_DAT10
		18	IO_VDD
		17	LCD_DAT9
		16	LCD_DAT8
		15	LCD_DAT7
		14	LCD_DAT6
		13	LCD_DAT5
		12	LCD_DAT4
		11	CORE_VDD
		10	LCD_DAT3
		9	LCD_DAT2
		8	LCD_DAT1
		7	LCD_DAT0
		6	LCD_EN
		5	LCD_VSYNC
		4	LCD_HSYNC
		3	LCD_CLK
		2	XTALD
		1	XTALI
VR_VDDA	176		
RTC_CLK_I	175		
RTC_CLK_O	174		
PLL_VDD033	173		
PLL_VDD12	172		
PLL_VSS12	171		
PLL_VSS33	170		
USB_DP	169		
USB_DM	168		
USB_DP	167		
USB_DM	166		
USB_REXT	165		
USB_VSS33	164		
USB_VDD033	163		
USB_DVDD	162		
USB_DVSS	161		
CORE_VSS	160		
OTG_ID	159		
OTG_VBUS	158		
OTG_REXT	157		
OTG_DP	156		
OTG_DM	155		
OTG_VSS33			
OTG_VDD033			

图 6-3 QFP176A 的引脚顶层排列（右侧图）

6.2.3 QFP176U 的引脚顶层排列

QFP176U 的引脚顶层排列如图 6-4 和图 6-5 所示。

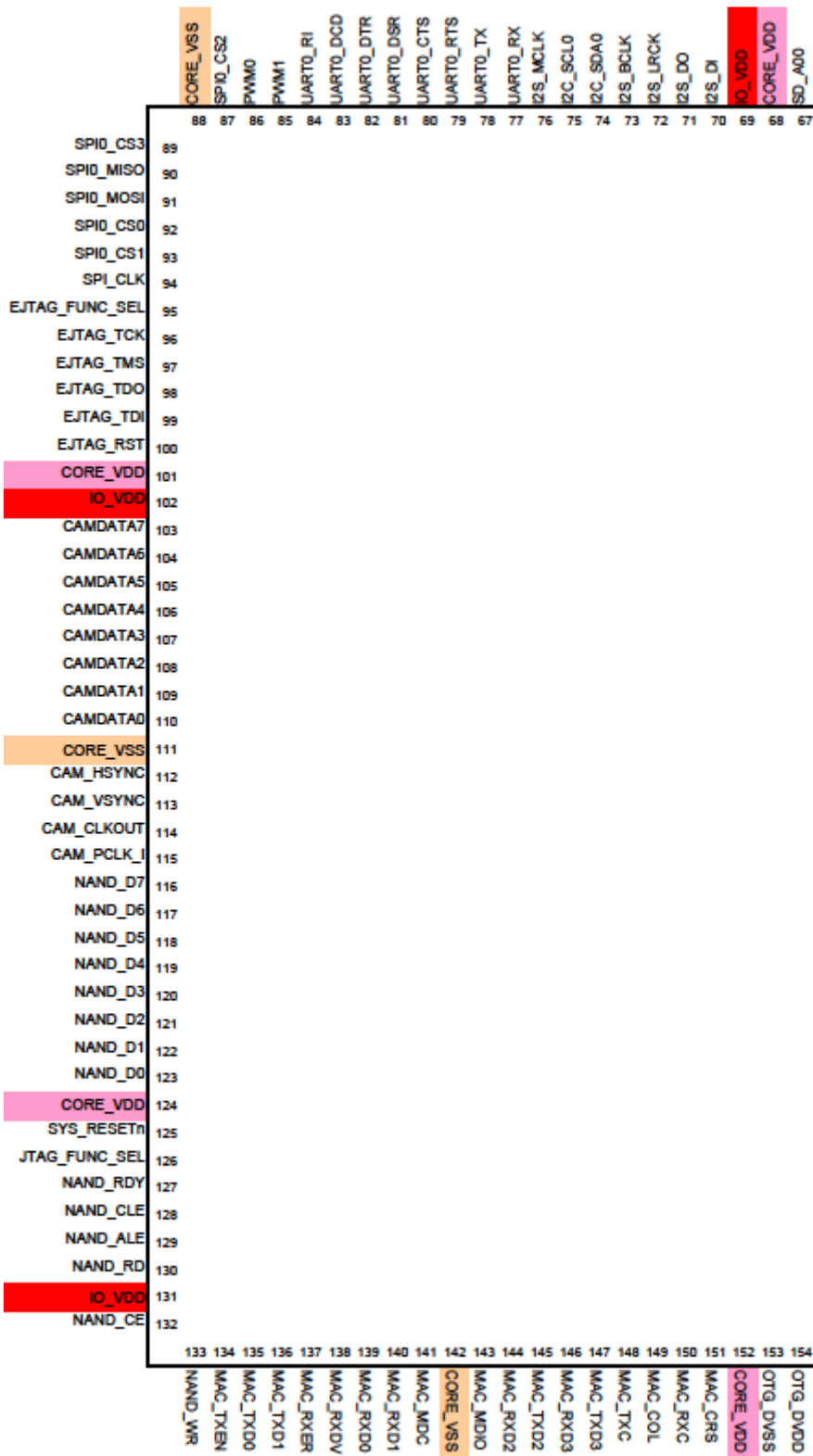


图 6-4 QFP176U 的引脚排列（左侧图）

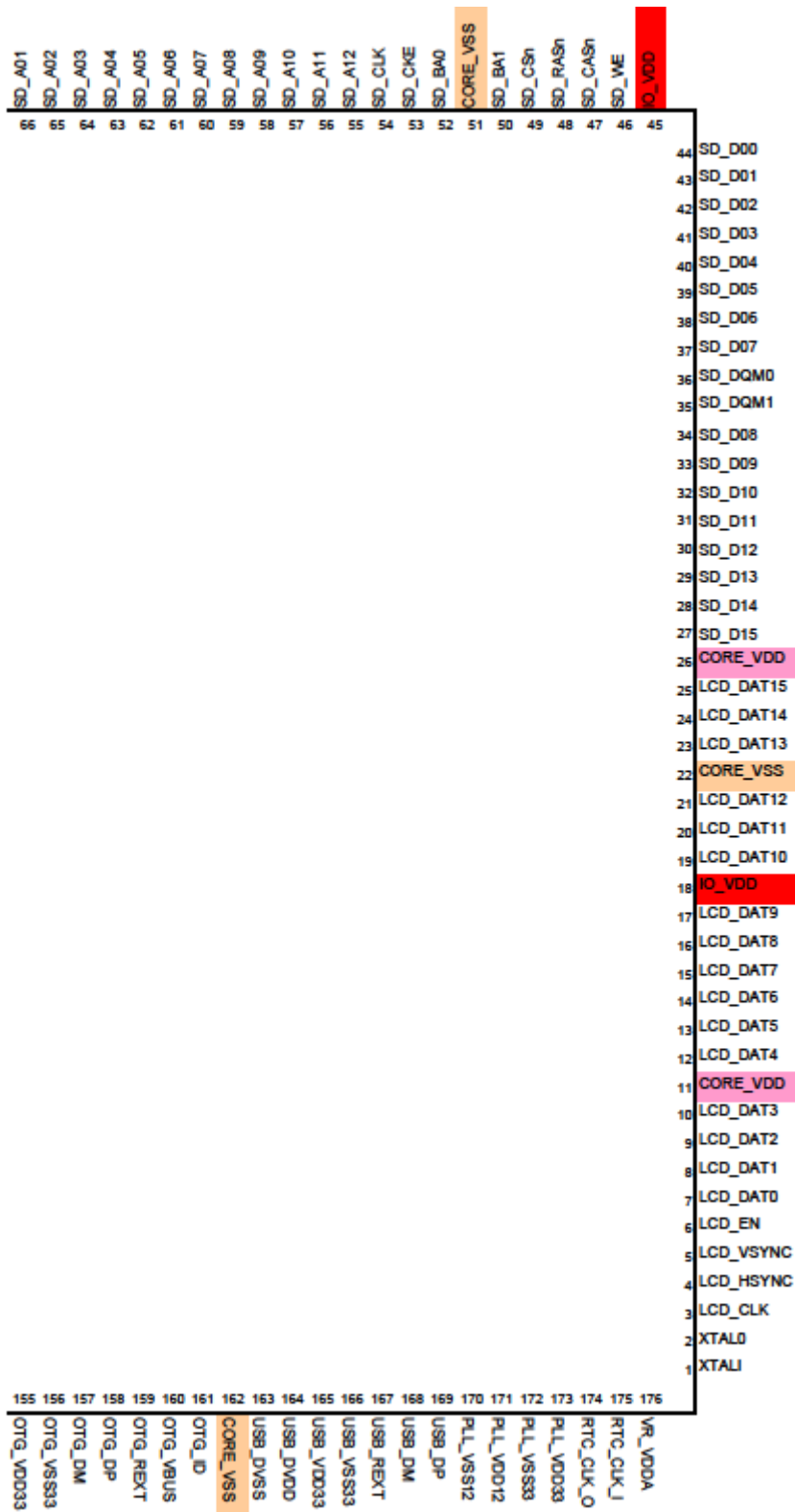
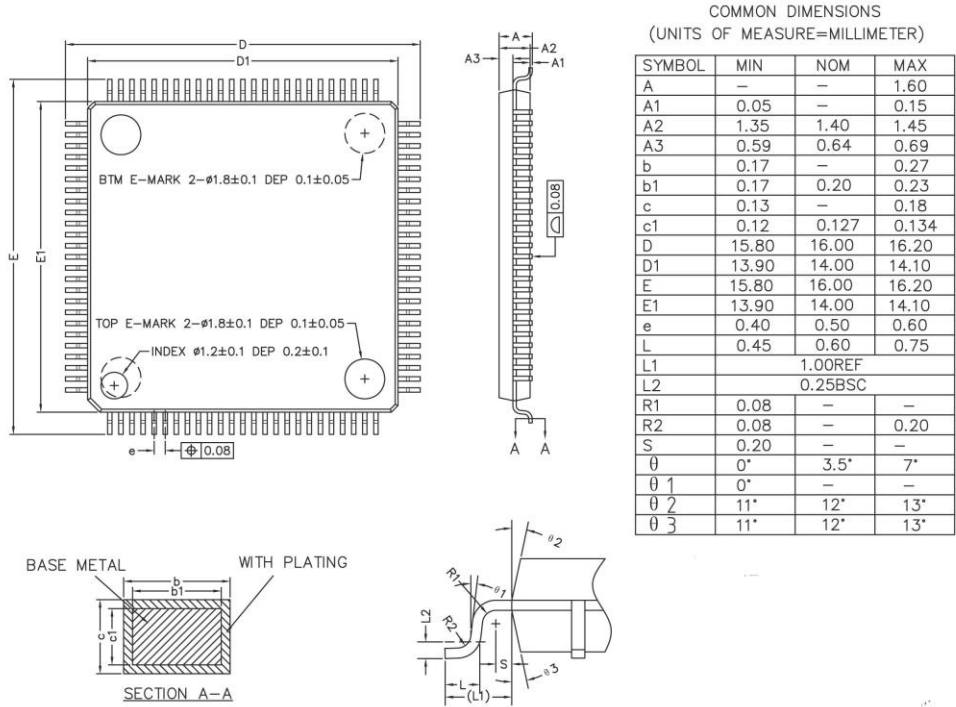


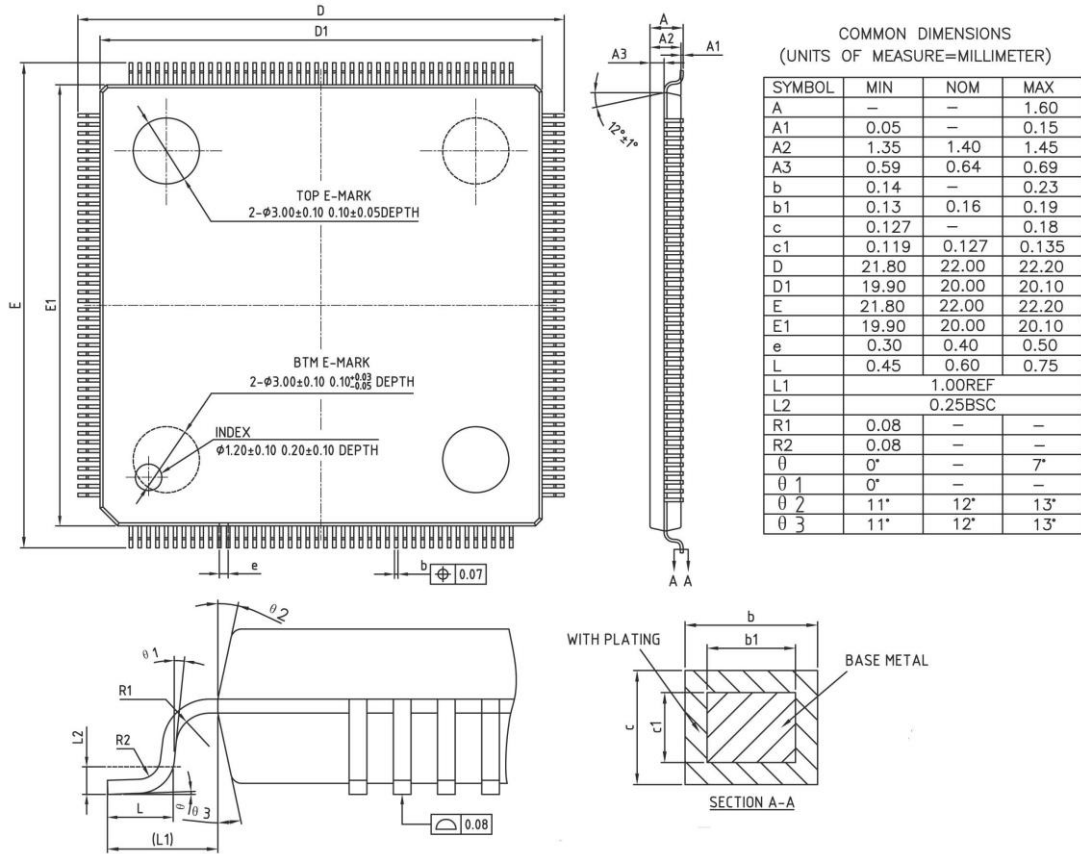
图 6-5 QFP176U 的引脚顶层排列（右侧图）

7 封装机械尺寸

7.1.1 QFP100 的封装机械尺寸



7.1.2 QFP176 的封装机械尺寸



8 不使用引脚的处理

不使用的引脚需按以下原则处理：

信号组	不使用的处理方式
USB	可悬空
输入信号	需下拉，或者用软件配置为 GPIO 输出 0
输出信号	可悬空
初始化信号	配置引脚必须正确上下拉
时钟配置	必须正确连接
电源地	必须正确连接

9 附录

9.1 引脚复用

下表中的信号名称按照QFP176 封装的顺序给出。在QFP100 封装中，有一些引脚没有封出来，用“-”表示。其中QFP176 有两种封装，QFP176A和QFP176U。这两种封装的区别仅为 81~88 引脚不同。其中QFP176A带ADC接口，QFP176U带UART接口。在表中引脚号后面括号中带A表示QFP176A封装，括号中带U表示QFP176U封装。

另外表中的复用关系，有些信号是成组复用的。比如SDRAM/SRAM、SPI0/SDIO、SPI1/SDIO、I2S/AC97，这几组信号通过misc寄存器来配置，在复用表的同一个单元格中用“/”把这两个信号分开。

注：1C300B相对 1C300A的改动，主要在引脚复用方面。新增加的复用关系包括UART5~UART11 以及SDRAM_CS1 引脚，分布在第四复用和第五复用上（见下表中的绿色部分）；另外 1C300B把 1C300A中的LCD_CLK和LCD_EN两个引脚的复用关系移到了LCD_HSYNC和LCD_VSYNC上即在QFP176 封装下，将引脚 3 的复用移到了引脚 4，将引脚 6 的复用移到了引脚 5，（见 9-1 表中的黄色部分）。表 9-2 为 1C300A中的引脚 3~6 的复用关系对应表 9-1 中的黄色部分。

注：引脚的默认复用关系在表的最后一列，除了几个引脚作为GPIO使用，其它的都作为其引脚定义功能；表中最后一列未特别注明，则默认复用关系为其引脚定义功能。

1C 不同封装下的引脚复用关系如下表所示。

表 9-1 引脚复用关系表

NAME	PIN_NO QFP176	PIN_NO QFP100	GPIO	第一复用	第二复用	第三复用	第四复用	第五复用	默认复 用
BANK0									
XTALI	1	1							
XTAL0	2	2							
LCD_CLK PIX_CLK	3	3	GPIO76						
LCD_HSYNC	4	-	GPIO74	SPI0_CS1/ Sdio_Dat2	UART0_RX	PWM2	I2C_SDA1	SDRAM_CS1	
LCD_VSYNC	5	-	GPIO75	SPI0_CS2/ Sdio_Dat3	UART0_TX	PWM3	I2C_SCL1		
LCD_EN	6	4	GPIO77						
LCD_D0 LCD_B3	7	-	GPIO58					UART4_RX/ UART0_CTS	
LCD_D1 LCD_B4	8	-	GPIO59					UART4_TX/ UART0_RTS	
LCD_D2 LCD_B5	9	-	GPIO60					UART5_RX/ UART0_DSR	
LCD_D3 LCD_B6	10	-	GPIO61					UART5_TX/ UART0_DTR	
CORE_VDD	11	-							
LCD_D4 LCD_B7	12	-	GPIO62					UART6_RX/ UART0_DCD	
LCD_D5 LCD_G2	13	-	GPIO63					UART6_TX/ UART0_RI	
LCD_D6 LCD_G3	14	-	GPIO64					UART7_RX	

LCD_D7 LCD_G4	15	-	GPIO65					UART7_TX	
LCD_D8 LCD_G5	16	-	GPIO66					UART8_RX	
LCD_D9 LCD_G6	17	-	GPIO67					UART8_TX	
IO_VDD	18	10							
LCD_D10 LCD_G7	19	-	GPIO68					UART9_RX/ UART8_CTS	
LCD_R3 LCD_D11	20	-	GPIO69					UART9_TX/ UART8_RTS	
LCD_D12 LCD_R4	21	-	GPIO70					UART10_RX/ UART8_DSR	
CORE_VSS	22	14							
LCD_D13 LCD_R5	23	-	GPIO71					UART10_TX/ UART8_DTR	
LCD_D14 LCD_R6	24	-	GPIO72					UART11_RX/ UART8_DCD	
LCD_D15 LCD_R7	25	-	GPIO73					UART11_TX/ UART8_RI	
CORE_VDD	26	16							
SD_D15/ SRAM_D15	27	5	GPIO104	I2C_SCL	PWM3	UART2_TX	MDIO		
SD_D14/ SRAM_D14	28	6	GPIO103	I2C_SDA	PWM2	UART2_RX	MDC		
SD_D13/ SRAM_D13	29	7	GPIO102	UART1_TX	NAND_CE#	I2C_SCL1	PWM1		
SD_D12/ SRAM_D13	30	8	GPIO101	UART1_RX	NAND_RDY	I2C_SDA1	PWM0		
SD_D11/ SRAM_D11	31	9	GPIO100	I2S_LRCK	NAND_WR#	UART0_TX	CAN1_TX		
SD_D10/	32	11	GPIO99	I2S_DI	NAND_ALE	UART0_RX	CAN1_RX		

SRAM_D10									
SD_D09/ SRAM_D09	33	12	GPIO98	I2S_BCLK	NAND_RD#	I2C_SCL2	CANO_TX		
SD_D08/ SRAM_D08	34	13	GPIO97	I2S_MCLK	NAND_CLE	I2C_SDA2	CAN0_RX		
SD_DQM1/ SRAM_BHEn	35	15	GPIO96	I2S_DO	PWM1	XTALI		UART6_RX/ UART0_DCD	
SD_DQM0/ SRAM_BLEn	36	17							
SD_D07/ SRAM_D07	37	18							
SD_D06/ SRAM_D06	38	19							
SD_D05/ SRAM_D05	39	20							
SD_D04/ SRAM_D04	40	21							
SD_D03/ SRAM_D03	41	22							
SD_D02/ SRAM_D02	42	23							
SD_D01/ SRAM_D01	43	24							
SD_D00/ SRAM_D00	44	25							
BANK1									
IO_VDD	45	-							
SD_WEn/ SRAM_WEn	46	26							
SD_CASn/ SRAM_A15	47	27							
SD_RASn/	48	28							

SRAM_A14									
SD_CS _n / SRAM_CS _n	49	29							
SD_BA1/ SRAM_A16	50	30							
CORE_VSS	51	31							
SD_BA0/ SRAM_A17	52	32							
SD_CKE/ SRAM_A13	53	33							
SD_CLK/ SRAM_OE _n	54	34							
SD_A12/ SRAM_A12	55	35							
SD_A11/ SRAM_A11	56	36							
SD_A10/ SRAM_A10	57	37							
SD_A09/ SRAM_A09	58	38							
SD_A08/ SRAM_A08	59	39							
SD_A07/ SRAM_A07	60	42							
SD_A06/ SRAM_A06	61	43							
SD_A05/ SRAM_A05	62	44							
SD_A04/ SRAM_A04	63	45							
SD_A03/ SRAM_A03	64	46							

SD_A02/ SRAM_A02	65	47							
SD_A01/ SRAM_A01	66	48							
SD_A00/ SRAM_A00	67	49							
CORE_VDD	68	40							
IO_VDD	69	41							
I2S_DI	70	-	GPIO87						UART7_RX
I2S_DO	71	-	GPIO88						UART7_TX
I2S_LRCK	72	-	GPIO89						UART8_RX
I2S_BCLK	73	-	GPIO90						UART8_TX
I2C_SDA0	74	-	GPIO85						UART9_RX/ UART8_CTS
I2C_SCL0	75	-	GPIO86						UART9_TX/ UART8_RTS
I2S_MCLK	76	-	GPIO91						
URT0_RX	77(U)	-	GPIO38						
URT0_TX	78(U)	-	GPIO39						
URT0_RTS	79(U)	-	GPIO41	SRAM_A19	UART1_TX	PWM3	NAND_RDY3		
URT0_CTS	80(U)	-	GPIO40	SRAM_A18	UART1_RX	PWM2	NAND_CE#3		
URT0_DSR	81(U)	-	GPIO42	SRAM_A20	UART2_RX	CAN0_RX	I2C_SDA1		
URT0_DTR	82(U)	-	GPIO43	SRAM_A21	UART2_TX	CAN0_TX	I2C_SCL1		
URT0_DCD	83(U)	-	GPIO44	SRAM_A22	UART3_RX	CAN1_RX	I2C_SDA2		
URT0_RI	84(U)	-	GPIO45	SRAM_A23	UART3_TX	CAN1_TX	I2C_SCL2		
PWM1	77(A) 85(U)	-	GPIO92	ADC_YN					
PWM0/ CAMCLKOUT	78(A) 86(U)	-	GPIO06	ADC_XN					
SPI0_CS2	79(A)	-	GPIO83	Sdio_Dat3					

CORE_VSS	80(A) 88(U)	50							
ADC_REXT	81(A)	-							
ADC_VREF	82(A)	-							
ADC_VDDA	83(A)	-							
ADC_VSSA	84(A)	-							
ADC_D0	85(A)	-							
ADC_D1	86(A)	-							
ADC_XP	87(A)	-							
ADC_YP	88(A)	-							
BANK2									
SPI0_CS3	89	-	GPIO84	CAMCLKOUT				UART10_RX/ UART8_DSR	
SPI0_MISO	90	51	GPIO80	Sdio_Cmd				UART4_RX/ UART0_CTS	
SPI0_MOSI	91	52	GPIO79	Sdio_Dat0				UART4_TX/ UART0_RTS	
SPI0_CS0	92	53	GPIO81	Sdio_Dat1			SDRAM_CS1	UART5_RX/ UART0_DSR	
SPI0_CS1	93	-	GPIO82	Sdio_Dat2				UART10_TX/ UART8_DTR	
SPI_CLK	94	54	GPIO78	Sdio_clk				UART5_TX/ UART0_DTR	
EJTAG_SEL	95	55	GPIO00	CAMCLKOUT	I2C_SDA0	CAN0_RX	UART3_RX	SDRAM_CS1	GPIO
EJTAG_TCK	96	56	GPIO01	CAMPCLKIN	I2C_SCL0	CAN0_TX	UART3_TX		GPIO
EJTAG_TMS	97	57	GPIO04	CAMDATA1	I2C_SDA2	PWM0	UART2_RX		GPIO
EJTAG_TDO	98	58	GPIO03	CAMHSYNC	I2C_SCL1	CAN1_TX	UART1_TX		GPIO
EJTAG_TDI	99	59	GPIO02	CAMVSYNC	I2C_SDA1	CAN1_RX	UART1_RX		GPIO
EJTAG_RST	100	60	GPIO05	CAMDATA0	I2C_SCL2	PWM1	UART2_TX		GPIO
CORE_VDD	101	61							

IO_VDD	102	62							
CAMDATA7	103	-	GPIO57		LCD_R2	CAN1_TX	I2C_SCL2	UART7_RX	
CAMDATA6	104	-	GPIO56		LCD_R1	CAN1_RX	I2C_SDA2	UART7_TX	
CAMDATA5	105	-	GPIO55		LCD_R0	CAN0_TX	I2C_SCL1	UART8_RX	
CAMDATA4	106	-	GPIO54		LCD_G1	CAN0_RX	I2C_SDA1	UART8_TX	
CAMDATA3	107	-	GPIO53		LCD_G0	CAMCLKOUT	PWM3	UART9_RX/ UART8_CTS	
CAMDATA2	108	-	GPIO52		LCD_B2	SPI1_CS3	PWM2	UART9_TX/ UART8_RTS	
CAMDATA1	109	-	GPIO51		LCD_B1	SPI1_CS2	I2C_SCL2	UART10_RX/ UART8_DSR	
CAMDATA0	110	-	GPIO50		LCD_B0	SPI1_CS1	I2C_SDA2	UART10_TX/ UART8_DTR	
CORE_VSS	111	63							
CAMHSYNC	112	-	GPIO49		NAND_RDY3	SPI1_CS0	I2C_SCL1	UART11_RX/ UART8_DCD	
CAMVSYNC	113	-	GPIO48		NAND_CE#3	SPI1_MOSI	I2C_SDA1	UART11_TX/ UART8_RI	
CAMCLKOUT	114	-	GPIO47	SRAM_A25	NAND_RDY2	SPI1_MISO	PWM3	UART6_RX/ UART0_DCD	
CAMPCLKIN	115	-	GPIO46	SRAM_A24	NAND_CE#2	SPI1_CLK	PWM2	UART6_TX/ UART0_RI	
NAND_7	116	64	GPIO20	SPI1_CS1/ Sdio_Dat2	MAC_MDIO	CAMDATA0	I2C_SCL2		
NAND_6	117	65	GPIO19	SPI1_CS2/ Sdio_Dat3	MAC_MDC	CAMDATA1	I2C_SDA2		
NAND_5	118	66	GPIO18	UART1_TX	UART3_TX	CAMDATA2	PWM2		
NAND_4	119	67	GPIO17	UART1_RX	UART3_RX	CAMDATA3	PWM3		
NAND_3	120	68	GPIO16	SPI1_CS0/ Sdio_Dat1	CAN1_TX	CAMDATA4	I2S_LRCK		
NAND_2	121	69	GPIO15	SPI1_MOSI/ Sdio_Dat1	CAN1_RX	CAMDATA5	I2S_DO		

				Sdio_Dat0					
NAND_1	122	70	GPIO14	SPI1_MISO/ Sdio_Cmd	CAN0_TX	CAMDATA6	I2S_BCLK		
NAND_0	123	71	GPIO13	SPI1_CLK/ Sdio_clk	CAN0_RX	CAMDATA7	I2S_MCLK		GPIO
CORE_VDD	124	72							
SYS_RST_	125	73							
JTAG_SEL	126	74					SDRAM_CS1	UART6_TX/ UART0_RI	
NAND_RDY	127	-	GPIO07						
NAND_CLE	128	-	GPIO08						GPIO
NAND_ALE	129	-	GPIO09						GPIO
NAND_RD#	130	-	GPIO10						GPIO
IO_VDD	131	75							
NAND_CE#	132	-	GPIO11						GPIO
BANK3									
NAND_WR#	133	-	GPIO12						GPIO
MAC_TXEN	134	76	GPIO21	I2S_MCLK	NAND_CLE	I2C_SDA2	CAN0_RX	UART8_RX	
MAC_TXD0	135	77	GPIO23	I2S_DO	NAND_ALE	UART0_RX	CAN1_RX	UART4_RX/ UART0_CTS	
MAC_TXD1	136	78	GPIO24	I2S_LRCK	NAND_WR#	UART0_TX	CAN1_TX	UART4_TX/ UART0_RTS	
MAC_RXER	137	79	GPIO25	I2S_DI	NAND_RDY0	I2C_SDA1	CAMCLKOUT	UART5_RX/ UART0_DSR	
MAC_RXDV	138	80	GPIO26	SPI1_CS3	NAND_CE#0	I2C_SCL1	CAMPCLKIN	UART5_TX/ UART0_DTR	GPIO
MAC_RXD0	139	81	GPIO27	I2C_SDA	PWM2	UART2_RX	CAMVSYNC	UART6_RX/ UART0_DCD	GPIO
MAC_RXD1	140	82	GPIO28	I2C_SCL	PWM3	UART2_TX	CAMHSYNC	UART6_TX/	GPIO

								UART0_RI	
MAC_MDC	141	-	GPIO29	CAMDATA7	NAND_CE#1	PWM2	I2C_SCL1	UART8_TX	GPIO
CORE_VSS	142	-							
MAC_MDIO	143	-	GPIO30	CAMDATA6	NAND_RDY1	LCD_B0	I2C_SDA1		GPIO
MAC_RXD2	144	-	GPIO31	CAMDATA5	NAND_CS#2	LCD_B1	CAN1_RX	UART11_RX/ UART8_DCD	GPIO
MAC_TXD2	145	-	GPIO32	CAMDATA4	NAND_RDY2	LCD_B2	CAN1_TX	UART11_TX/ UART8_RI	
MAC_RXD3	146	-	GPIO33	CAMDATA3	UART3_RX	LCD_G0	SPI1_CLK/ Sdio_clk		
MAC_TXD3	147	-	GPIO34	CAMDATA2	UART3_TX	LCD_G1	SPI1_MISO/ Sdio_Cmd		
MAC_TXC	148	83	GPIO22	I2S_BCLK	NAND_RD#	I2C_SCL2	CANO_TX	SDRAM_CS1	
MAC_COL	149	-	GPIO36	CAMDATA0	UART2_RX	LCD_R1	SPI1_CS0/ Sdio_Dat1		
MAC_RXC	150	-	GPIO37	PWM3	UART2_TX	LCD_R2	SPI1_CS1/ Sdio_Dat2		
MAC_CRX (ONLY_MII)	151	-	GPIO35	CAMDATA1	PWM1	LCD_R0	SPI1_MOSI/ Sdio_Dat0		
CORE_VDD	152	-							
OTG_DVSS	153	84							
OTG_DVDD	154	85							
OTG_DVDD33	155	86							
OTG_DVSS33	156	87							
OTG_DM	157	88							
OTG_DP	158	89							
OTG_REXT	159	90							
OTG_VBUS	160	91							
OTG_ID	161	92							

CORE_VSS	162	93							
USB_DVSS	163	-							
USB_DVDD	164	-							
USB_DVDD33	165	-							
USB_DVSS33	166	-							
USB_REXT	167	-							
USB_DM	168	-							
USB_DP	169	-							
PLL_VSS12	170	94							
PLL_VDD12	171	95							
PLL_VSS33	172	96							
PLL_VDD33	173	97							
RTC_CLK_O	174	98							
RTC_CLK_I	175	99							
RTC_VR_VDDA	176	100							

表 9-2 1C300A 引脚 3~6 复用关系表

NAME	PIN_NO QFP176	PIN_NO QFP100	GPIO	第一复用	第二复用	第三复用	第四复用	第五复用
LCD_CLK PIX_CLK	3	3	GPIO76	SPI0_CS1/ Sdio_Dat2	UART0_RX	PWM2	I2C_SDA1	
LCD_HSYNC	4	-	GPIO74					

LCD_VSYNC	5	-	GPIO75					
LCD_EN	6	4	GPIO77	SPI0_CS2/ Sdio_Dat3	UART0_TX	PWM3	I2C_SCL1	